

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196404

(P2001-196404A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/60		H 0 1 L 21/304	6 3 1 5 F 0 3 3
21/304	6 3 1	21/92	6 0 4 S
21/3205		21/88	T
23/12		23/12	L

審査請求 未請求 請求項の数10 O L (全 15 頁)

(21) 出願番号 特願2000-2551 (P2000-2551)

(22) 出願日 平成12年1月11日 (2000.1.11)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 石栗 雅彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 村田 浩一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100091672

弁理士 岡本 啓三

最終頁に続く

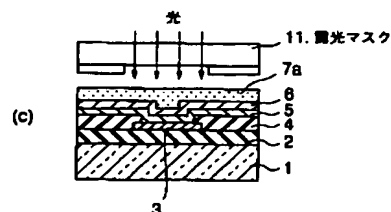
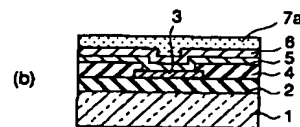
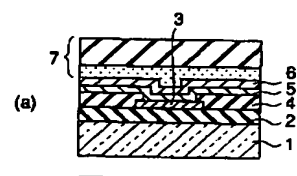
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 基板の薄型化が要求される半導体装置に関し、半導体基板の研削・研磨とバンプ電極形成の一連の工程におけるスループットを向上すること。

【解決手段】 半導体基板1上の絶縁膜2の上に形成された電極パッド3と、絶縁膜2の上に形成されて電極パッド3を露出させる開口4aを有する絶縁性カバー膜4と、基材層7bとその上に塗布されたレジスト層7aとを有し、レジスト層7aを半導体基板1側に向けた状態で、カバー膜4の上とその開口4a内を覆う保護テープ7とを有する。

第1実施形態 (その2)



BEST AVAILABLE COPY

(2)

1

【特許請求の範囲】

【請求項1】半導体基板上の絶縁膜の上に形成された電極パッドと、

前記絶縁膜の上に形成されて前記電極パッドを露出させる開口を有する絶縁性カバー膜と、

基材層とその上に塗布されたレジスト層とを有し、該レジスト層を前記半導体基板側に向けた状態で、前記カバー膜の上と前記開口内を覆う保護テープとを有することを特徴とする半導体装置。

【請求項2】前記絶縁性カバー膜の下には、前記電極パッドと前記絶縁膜を覆う金属膜が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】半導体基板上の絶縁膜の上に電極パッドを形成する工程と、

前記絶縁膜と前記電極パッドの上に絶縁性カバー膜を形成する工程と、

前記電極パッドを露出させる開口を前記絶縁性カバー膜に形成する工程と、

基材層とその上に塗布されたレジスト層とを有する保護テープを用意し、該レジスト層を貼り付け面として、前記保護テープを前記カバー膜の上に直接又は間接に貼り付けて前記カバー膜と前記開口を覆う工程と、

前記半導体基板のうち前記絶縁膜とは反対側の面を研削して薄くする工程と、

前記保護テープのうちの前記基材層を前記レジスト層から剥離する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】前記レジスト層を露光、現像して前記開口の上に突起電極形状又は配線形状の窓を形成する工程と、

前記窓を通して導電膜を形成することにより、前記電極パッドに電氣的に接続される突起電極又は配線を形成する工程とをさらに有することを特徴とする請求項3に記載の半導体装置の製造方法。

【請求項5】前記保護テープを貼り付ける前に、前記電極パッドと前記絶縁膜の上に金属膜を形成する工程と、前記突起電極を形成した後に、前記突起電極又は前記配線をマスクに使用して前記金属膜をエッチングする工程とをさらに有することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】半導体基板の上に突起電極を形成する工程と、

前記突起電極を覆うフラックス又はレジストを前記半導体基板の上に塗布する工程と、

前記フラックス又は前記レジストの上に保護テープを貼る工程と、

前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】半導体基板の上に突起電極を形成する工程

2

と、

前記半導体基板の周縁に対応した部分に他の領域よりも突出する接着層を基材層の上に形成してなる保護テープを用意し、該接着層を前記半導体基板の該周縁に貼る工程と、

前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】前記保護テープの前記基材層のうちの前記接着層に囲まれた領域には前記接着層よりも薄い別の接着層が形成されていることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】前記基材層又は前記別の接着層からの記接着層の厚さは、前記突起電極の高さと同じかそれよりも厚いことを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項10】半導体基板のうち素子形成面の上に直接又は間接的に保護テープを貼る工程と、

前記半導体基板のうち前記保護テープと反対側の裏面を研削する工程と、

基材層に紫外線硬化型接着層を形成してなる支持テープを前記半導体基板の前記裏面に貼る工程と、

前記保護テープを前記半導体基板から剥離する工程と、

前記半導体基板の素子形成面の上に突起電極を形成する工程と、

前記紫外線硬化型接着層に紫外線を照射する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、より詳しくは、薄層化の対象となる半導体装置と、半導体基板裏面の研磨工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体集積回路（LSI）チップを薄型化することは、LSIチップをパッケージして構成される半導体装置の小型化や、半導体装置を積み重ねる3次元実装技術などには重要である。LSIチップの薄層化は、半導体素子が形成された半導体基板の裏面を研磨する方法が一般に採用されている。

【0003】例えば、図1(a)～(c)に示すように、半導体基板101の一面に保護テープ102を貼り付けた後にその他面（裏面）を研磨盤103によって研削・研磨し、その半導体基板101を所望の厚さに薄くし、ついでその保護テープ102を剥離する方法がある。保護テープ102は、半導体基板101に形成された素子を研削・研磨時の機械的ストレスから保護するためのものである。

【0004】そのような方法によって研磨される半導体基板へのバンプの取り付け方法には次のような2つの方

50

(3)

3

法がある。第1に、図2(a)に示すように、半導体基板101の一面に保護テープ102を貼り付けた状態で、その他面を研磨盤103によって研磨して薄層化した後に、保護テープ102を半導体基板101から剥がし、ついで、図2(b)に示すように、半導体基板101の一面のパッド104上にバンプ電極105を形成する方法である。

【0005】第2に、図3に示すように、半導体基板101の一面のパッド104上にバンプ電極105を形成した後に、バンプ電極105を覆うように半導体基板101の一面の上に保護テープ102を貼り付け、その後、図1(b)に示すように、半導体基板101の他面を研磨する。なお、バンプ電極105は、保護テープの全てを除去する作業の後に形成されたレジストを使用して形成される。

【0006】

【発明が解決しようとする課題】ところで、半導体基板の裏面を研削・研磨する際に使用する保護テープは高価であり、しかも、半導体基板から剥離した保護テープを廃棄することは環境汚染の原因になる。また、半導体基板の研削・研磨を終えた後に半導体基板上にバンプ電極を形成すると、薄くなった半導体基板がバンプ電極形成の最中に割れ易く、歩留まり低下の原因になっている。

【0007】これに対して、半導体基板上にバンプ電極を形成し、その上から半導体基板に保護テープを貼った後に、半導体基板を研削・研磨すると、バンプ電極に応力が集中して半導体基板が割れることもある。さらに、上記したような保護テープ貼付、保護テープの剥離、バンプ電極形成といった一連の作業には時間がかかるという不都合もある。

【0008】本発明の第1の目的は、半導体基板の研削・研磨とバンプ電極形成の一連の工程におけるスループットを向上できる半導体装置とその製造方法を提供することにある。本発明の第2の目的は、バンプが形成された基板の研削・研磨の際に基板の割れを防止することができる半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】(1)上記した課題は、半導体基板上の絶縁膜の上に形成された電極パッドと、前記絶縁膜の上に形成されて前記電極パッドを露出させる開口を有する絶縁性カバール膜と、基材層とその上に塗布されたレジスト層とを有し、該レジスト層を前記半導体基板側に向けた状態で、前記カバール膜の上と前記開口内を覆う保護テープとを有することを特徴とする半導体装置によって解決される。

【0010】上記した半導体装置において、前記絶縁性カバール膜の下には、前記電極パッドと前記絶縁膜を覆う金属膜を形成しても良い。次に、上記した発明の作用について説明する。本発明の半導体装置によれば、基材層とこれに塗布されたレジスト層から構成された保護テ

4

ップによって半導体基板の一面を覆うようにしている。

【0011】これにより、半導体基板の他面(裏面)の研磨を終えた後に、保護テープの基材層のみを剥離することにより残ったレジスト層をそのままパターンニングに使用すると、半導体基板上へのレジスト塗布工程が省略される。

(2)上記した課題は、半導体基板上の絶縁膜の上に電極パッドを形成する工程と、前記絶縁膜と前記電極パッドの上に絶縁性カバール膜を形成する工程と、前記電極パッドを露出させる開口を前記絶縁性カバール膜に形成する工程と、基材層とその上に塗布されたレジスト層とを有する保護テープを用意し、該レジスト層を貼り付け面として、前記保護テープを前記カバール膜の上に直接又は間接に貼り付けて前記カバール膜と前記開口を覆う工程と、前記半導体基板のうち前記絶縁膜とは反対側の面を研削して薄くする工程と、前記保護テープのうちの前記基材層を前記レジスト層から剥離する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0012】上記した半導体装置の製造方法において、前記レジスト層を露光、現像して前記開口の上にバンプ形状又は配線形状の窓を形成する工程と、前記窓を通して導電膜を形成することにより、前記電極パッドに電気的に接続されるバンプ電極又は配線を形成する工程をさらに有するようにしてもよい。また、上記した半導体装置の製造方法において、前記保護テープを貼り付ける前に、前記電極パッドと前記絶縁膜の上に金属膜を形成する工程と、前記バンプ電極を形成した後に、前記バンプ又は前記配線をマスクに使用して前記金属膜をエッチングする工程とをさらに含ませてもよい。

【0013】次に、本発明の半導体装置の製造方法の作用について説明する。本発明によれば、基材層とこれに塗布されたレジスト層から構成された保護テープによって半導体基板の一面を覆った後に、半導体基板の他面(裏面)を研削し、ついで保護テープの基材層をレジスト層から剥離するようにした。従って、そのレジスト層をそのままの状態でも露光、現像してバンプ電極形成や配線形成のレジストパターンを形成すると、レジスト塗布の手間が省け、スループットが向上する。

【0014】また、レジスト層は溶剤によりほぼ完全に除去することが容易なので、半導体基板の上を汚染することはない。さらに、剥離された基材層上には従来のような接着剤が存在しないので、再利用が可能になり廃棄量を減らすことができ、環境保護に役立つ。また、基材層の材料として、レジスト層の露光を阻止する材料で構成すると、基材層をレジスト層から剥離するまでの処理を通常環境で行うことができるので、作業性が向上する。

(3)上記した課題は、半導体基板上に突起電極を形成する工程と、前記突起電極を覆うフラックス又はレジストを前記半導体基板上に塗布する工程と、前記フラ

(4)

5

ックス又は前記レジストの上に保護テープを貼る工程と、前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0015】次に、本発明の作用について説明する。本発明によれば、半導体基板の裏面を研削する際に、それと反対側の面に形成された突起電極の間にフラックス又はレジストを塗布するようにし、さらにその上に保護テープを貼るようにしている。これにより、半導体基板を研削する際に、保護テープの押圧力は突起電極のみならずフラックス又はレジストにも加わって分散されるので、半導体基板の割れが防止される。

【0016】また、突起電極の間にフラックスを形成する場合には、フラックスで覆われた突起電極を加熱した後に、そのままの状態では保護テープを貼れば、従来よりも工程が増えることはない。さらに、突起電極の間にレジストを塗布する場合には、レジストを塗布後にベークにより硬化させることができ、半導体基板にかかる応力は均一になる。

【0017】また、フラックス又はレジストの上に保護テープを貼ると、保護テープの接着層が基板上に残らなくなる。

(4) 上記した課題は、半導体基板の上に突起電極を形成する工程と、前記半導体基板の周縁に対応した部分に他の領域よりも突出する接着層を基材層の上に形成してなる保護テープを用意し、該接着層を前記半導体基板の該周縁に貼る工程と、前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0018】上記した半導体装置の製造方法において、前記保護テープの前記基材層のうち前記接着層に囲まれた領域に、前記接着層よりも薄い別の接着層を形成してもよい。上記した半導体装置の製造方法において、前記基材層又は前記別の接着層からの記接着層の厚さは、前記突起電極の高さと同じかそれよりも厚いことが好ましい。

【0019】次に、本発明の作用について説明する。本発明によれば、保護テープの接着層を半導体基板の周縁に対応する部分で突出させている。これにより、保護テープから突起電極に係る力が半導体基板の周縁に分散されて基板が割れにくくなる。

【0020】しかも、複数の突起電極は、保護テープの押圧力によってその高さが揃えられる。この場合、保護テープの押圧量は、その周縁で突出した接着層によって制限されるので、突起電極の高さが低くなり過ぎることはない。

(5) 上記した課題は、半導体基板のうち素子形成面上に直接又は間接的に保護テープを貼る工程と、前記半導体基板のうち前記保護テープと反対側の裏面を研削する工程と、基材層に紫外線硬化型接着層を形成してなる

6

支持テープを前記半導体基板の前記裏面に貼る工程と、前記保護テープを前記半導体基板から剥離する工程と、前記半導体基板の素子形成面上に突起電極を形成する工程と、前記紫外線硬化型接着層に紫外線を照射する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0021】次に、本発明の作用について説明する。本発明によれば、半導体基板の一面を保護テープで覆った状態でその他面を研削した後に、その他面に支持テープ（サポートテープ）を貼り付けた状態で、保護テープを剥離し、さらに、その一面に突起電極を形成するようにした。したがって、サポートテープによって補強された半導体基板は、突起電極を形成する際に基板が割れにくくなる。

【0022】

【発明の実施の形態】以下に本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態) 図4～図7は、本発明の第1実施形態を示す半導体装置の製造工程を示す断面図である。

【0023】まず、図4(a)に示すように、トランジスタ等の半導体素子（不図示）が形成されたシリコン（半導体）基板1の上に絶縁膜2を形成し、その上に電極パッド3を形成する。その電極パッドは、図では省略しているが絶縁膜2の上に複数形成されている。その電極パッド3は、シリコン基板1内に形成された半導体素子に電気的に接続されている。また、絶縁膜2は、多層配線を絶縁するものであってもよいし、シリコン基板1内の半導体素子を覆う絶縁膜であっても良い。

【0024】続いて、絶縁膜2と電極パッド3の上に絶縁性のカバー膜4、例えばシリコン酸化膜を形成した後に、そのカバー膜4をフォトリソグラフィ法によりパターニングして電極パッド3を露出する開口4aを形成する。さらに、図4(b)に示すように、チタン(Ti)よりなる第1の金属膜5をカバー膜4上と開口4a内に500nmの厚さに形成した後に、ニッケル(Ni)よりなる第2の金属膜6を第1の金属膜5の上に500nmの厚さに形成する。

【0025】続いて、図8に示すような、厚さ25～125μmのレジスト層7aとその上に塗布された厚さ50～200μmの基材層7bとから構成された保護フィルム7を用意する。レジスト層7aは、ビスアジド系、アジド化合物系等の環化ゴムよりなるg線、i線、紫外線、電子線等の感光性材料から構成されたものである。そのレジスト層7aは、ポジ型、ネガ型のいずれかでもよいが、以下の例ではポジ型を使用している。また、基材層7bは、PET（ポリエチレンナフタレート）、PP（ポリプロピレン）等の樹脂から構成されている。なお、基材層7bには、レジスト層7aの感光を防止するために、露光光を遮断する材料をレジスト層7a内に含ませたり或いはレジスト層7aの上に塗布したりして

(5)

7

もよい。

【0026】そして、保護フィルム7を、図4(c)に示すように第2の金属膜6の上に圧着貼付ける。ついで、図5(a)、図9に示すように、バックグラインド方法によりシリコン基板1の裏面を研削・研磨する。その研磨量は膜厚に換算して例えば320～550 μm とする。バックグラインドのときには、研磨盤(砥石)10が使用される。

【0027】その後、保護フィルム7のうちの基材層7bをレジスト層7aから剥離して、図5(b)に示すようにレジスト層7aを露出させる。続いて、図5(c)に示すように、フォトリソマスク11を使用してレジスト層7aを露光して、カバー膜4の開口4aとその周辺の上に光を照射する。露光光としてg線又はi線を使用する場合には、露光量を50～500 mj/cm^2 とする。

【0028】その後、図6(a)に示すように、現像液を用いてレジスト層7aを現像して開口4aの上とその周辺の上に窓7cを形成する。この場合、現像液として、例えば濃度0.1～3.0%の Na_2CO_3 水又は濃度0.1～3.0%のTMAH水等を30～50℃に加熱した溶液を用いる。また、現像方式として、例えば射出圧力1.5～2.5 kg/cm^2 のスプレー現像法を採用する。

【0029】パンプ形成用の窓7cの平面形状としては、正多角形、略円形とする。なお、保護フィルム7の基材層7bに露光を光遮する機能がない場合には、保護フィルム7の貼り付けからレジスト層7bの現像までの一連の作業は、イエロールームと呼ばれる非感光性光だけが照射された室内又は暗室内において行われる。

【0030】次に、図6(b)に示すように、窓7cから露出した第2の金属膜6の上に鉛スズ(PbSn)よりなるパンプ電極(突起電極)8を形成する。パンプ電極8は、例えば第1及び第2の金属膜5,6を電極として使用する電解メッキ法を用いて形成される。さらに、図6(c)に示すように、レジスト層7aを剥離液に浸漬して第2の金属膜6上から除去する。その剥離液としては濃度20%のTMAH水、濃度20%のものエタノールアミン水、濃度5%の Na_2CO_3 水のいずれかを50～60℃に加熱した溶液を使用する。

【0031】次に、図7(a)に示すように、パンプ電極8をマスクに使用して第1及び第2の金属膜5,6をエッチングすることにより、パンプ電極8の下にのみ残す。そして、図7(b)に示すように、パンプ電極8を融点以上の温度で加熱してリフローすることにより、第2の電極6の上で略球状になるように整形する。以上のような工程においては、保護テープ7の接着層としてレジスト層7aを使用したため、シリコン基板1を研削・研磨した後にレジスト層7aをパンプ電極形成用マスクとしてそのまま使用することができ、研磨からパンプ電極形成までの工程が簡略化され、スループットが向上す

8

る。しかも、レジスト層7aは剥離液によってシリコン基板1上から完全に除去することが可能なため、従来の保護テープで発生しているような基板での接着剤(糊)残の発生が解消される。

【0032】また、保護テープ7を構成する基材層7bは、その上にレジストを塗布することにより再利用することが可能になる。なお、上記したパンプ電極8を構成する材料としては、PbSnに限るものではなく、電解メッキ法又は無電解メッキ法により形成されるニッケル、金、又はニッケル・金二層構造膜、SnAg合金、SnSb合金、或いは融点400℃以下の導電材を用いてもよく、この場合の断面形状は柱状又はマッシュルーム状になる。また、このような金属膜の上に、Pb、Snを主成分とする半田を電解メッキ法、転写法、印刷法等により形成した後に、その半田を加熱して略球形状としてもよい。

【0033】ニッケルを無電解メッキ法により形成した場合には、その上に金、パラジウム、白金等の酸化防止皮膜を無電解メッキ法によって追加形成し、その後にレジスト層を除去するような工程を採用してもよい。また、上記したレジスト層7aに形成される窓7cの形状を配線形状にすることにより、パンプ電極の代わりに配線を形成するようにしてもよい。

(第2の実施の形態) 第1実施形態で説明した工程において、第1及び第2の金属膜5,6の形成を省略してもよく、そのような工程を以下に説明する。

【0034】まず、電極パッド3を露出する開口4aをカバー膜4に形成した後に、図10(a)に示すようにカバー膜4及び電極パッド3に保護テープ7を貼り付ける。そして、図10(b)に示すように、シリコン基板1の裏面を研削・研磨した後に、図10(c)に示すように、保護テープ7を構成する基材層7bをレジスト層7aから剥離する。続いて、図11(a)に示すように、レジスト層7aを露光・現像することにより開口4aを露出する窓7cを形成する。

【0035】さらに、図11(b)に示すように、その窓7cと開口4aを通して電極パッド3上に直接にニッケル、金を無電解メッキ法により形成し、これをパンプ電極9として使用する。その後に、図11(c)に示すように、レジスト層7aを剥離する。以上のような工程においても、保護テープ7の接着層としてレジスト層7aを用いたので、そのレジスト層7aを次の工程のマスクとして使用することができ、スループットが向上する。

【0036】この実施形態においても、レジスト層7aに形成される窓7cを配線形状にしてパンプ電極の代わりに配線を形成するようにしてもよい。

(第3の実施の形態) 第1の実施の形態では保護テープを構成するレジストをパンプ電極の形成に使用したがパッド再配置の形成のために使用してもよい。

【0037】パッド再配置というのは、図12に示すように、電極パッド3から外方へ延びる引出配線を形成す

(6)

9

ることである。そのようなパッド再配置を行うのは、微細化された電極パッド3に電氣的に接続されるパンプ電極13の形成位置を確保するためである。本実施形態のパッド再配置は、以下のようにして行われる。まず、図13(a)に示すように、半導体素子が形成されたシリコン基板1の上に絶縁膜2を形成し、その上に電極パッド3を形成する。

【0038】続いて、絶縁膜2と電極パッド3の上に絶縁性のカバー膜4を形成した後に、そのカバー膜4をフォトリソグラフィ法によりパターニングして電極パッド3を露出する開口4aを形成する。さらに、図13(b)に示すように、金属膜12aをカバー膜4上と開口4a内に500nmの厚さに順に形成する。金属膜12aとして、例えば、チタン(Ti)、ニッケル(Ni)、金(Au)を順に形成した三層構造膜や、チタン(Ti)、銅(Cu)を順に形成した二層構造膜がある。

【0039】次に、図13(c)に示すように、第1実施形態と同じ構造の保護フィルム7を金属膜12aの上に圧着して貼付ける。そして、バックグランド方法によりシリコン基板1の裏側を研削・研磨した後に、保護フィルム7のうちの基材層7bをレジスト層7aから剥離して、図14(a)に示すようにレジスト層7aを露出させる。

【0040】続いて、図14(b)に示すように、レジスト層7aを露光し、現像することにより、カバー膜4の開口4aから外方に向けて引出配線形状にする。その後、図14(c)に示すように、金属膜12aのうちレジスト層7aに覆われない部分をエッチングすることにより金属膜12aをパターニングし、これを引出配線12として使用する。

【0041】次に、図14(d)に示すようにレジスト層7aを溶剤により除去した後に、引出配線12にパンプ電極13を形成する。そのパンプ電極13の形成方法は、レジストパターン(不図示)を使用する電解メッキ法又は無電解メッキ法によって行われる。以上のような工程においては、保護テープ7の接着層としてレジスト層7aを使用したの、シリコン基板1のうち保護テープ7で覆われない面を研削・研磨した後にレジスト層7aを引出配線形成用のマスクとしてそのまま使用することができ、研磨から引出配線形成までの工程が簡略化され、スループットが向上する。

【0042】しかも、レジスト層7aは剥離液によってシリコン基板1上から完全に除去することが可能なので、残ることはない。なお、保護テープ7を構成する基材層7bは、再利用してもよい。

(第4の実施の形態) 図15、図16は、本発明の第4実施形態に係る半導体装置製造の基板研磨工程に係る断面図である。

【0043】まず、図15(a)に示すような構造になるまでの工程を説明する。図15(a)において、シリコン

10

(半導体)基板21内にはトランジスタ等の半導体素子(不図示)が形成され、その半導体基板21の一面には半導体素子を覆う絶縁膜22が形成されている。その絶縁膜22の上には電極パッド23が複数形成されている。また、電極パッド23及び絶縁膜22の上には酸化シリコン等よりなるカバー膜24が形成され、そのカバー膜24に形成された開口24aから電極パッド23が露出されている。

【0044】電極パッド23の上には、チタン(Ti)、ニッケル(Ni)よりなる二層構造の金属膜25が形成され、さらに開口24a及び金属膜25の上には、Pb、Snを主成分とする半田よりなるパンプ電極(突起電極)26が略円柱状に形成されている。そのパンプ電極26は、電解メッキ法、無電解メッキ法、転写法、印刷法等によって形成される。電解メッキ法による場合には、金属膜25の上にレジストパターンを形成するとともに金属膜25を電極として使用することにより、開口24aの上方にのみパンプ電極26を形成することになる。この場合、金属膜25は、略円柱状に形成されたパンプ電極26をマスクに使用してパターニングされる。

【0045】次に、パンプ電極26及びカバー膜24の上にフラックス27を供給する。そして、パンプ電極26を加熱してリフローすると、図15(b)に示すように、そのパンプ電極26の表面がフラックスにより清浄化されるとともに、略球形状に変形する。パンプ電極26の融点は、Pbが95、Snが5の割合で混合されている半田から形成する場合には約320℃であり、Pbが64、Snが36の割合で混合されている半田から形成する場合には約183℃であるので、パンプ電極26の加熱温度は、半田の融点以上とすることになる。その加熱によってフラックス27は固化する。

【0046】その後、図15(c)に示すように、フラックス27の上に保護テープ28を貼り付ける。その保護テープ28は基材層28a上に接着層28bを塗布した構造を有しており、第1～第3の実施形態で使用した保護テープとは構造を異にしている。次に、図16(a)に示すように、シリコン基板21の裏面、即ち保護テープ28の貼り付け面に対して反対側の面を研磨盤(砥石)によって研削・研磨することにより、シリコン基板21を例えば350μm以下まで薄くする。その研削・研磨状態は、図9に示すようになる。

【0047】続いて、図16(b)に示すように、保護テープ28をシリコン基板21上から剥離する。そして、カバー膜24及びパンプ電極26上のフラックス27は図16(c)に示すように、フラックス洗浄剤によって除去される。これにより、パンプ電極26の整形から基板の研削までの工程が終了する。以上のように、本実施形態では、シリコン基板21の裏面を研磨する際に、複数のパンプ電極26の間にフラックス27を残した状態でそのフラックス27の上に保護テープ28を貼り付ける

(7)

11

ようにした。

【0048】これによれば、バンプ電極26はフラックス27に覆われ、バンプ電極26の間にはフラックス27が充填された状態になるので、基板研削の際にシリコン基板21に向けて加わる応力はバンプ電極26に集中することではなく、フラックス27はバンプ電極26相互間のギャップを吸収することになる。したがって、シリコン基板21に割れが生じる確率は極めて低くなり、シリコン基板21の研削・研磨が良好に行われる。

【0049】しかも、保護テープ28はフラックス27に接着されるので、保護テープ28を剥離する際にその接着層28bがバンプ電極26やカバー膜24の上に残ることはないの、従来のような接着層28bの基板からの除去といった作業が不要になる。

(第5の実施の形態) 第4実施形態では、フラックスの上に保護テープを貼り付けたが、フラックスを除去して別な層をバンプ電極の間に充填してもよく、その一例を以下に説明する。

【0050】まず、図17(a)に示すようにバンプ電極26を加熱して略球形に変形する。この場合に、第4実施形態と同様にバンプ電極26をフラックス27によって覆う。その後、図17(b)に示すように、フラックス27をカバー膜24及びバンプ電極26の上から除去する。

【0051】従来の技術では、その後に保護テープをカバー膜24に貼り付けることになるが、本実施形態では、図17(c)に示すように、500℃以上の高い粘度を有するレジスト29をカバー膜24及び半田バンプ26の上に塗布する。そのレジスト29は、バンプ電極26の高さよりも上に位置するような厚さにすることが好ましい。

【0052】次に、図18(a)に示すように、レジスト29の上に保護テープ28を貼り付ける。なお、保護テープ28の貼付け前にレジスト29をベークしてもよい。続いて、シリコン基板21の裏面を研削・研磨することによって、シリコン基板21を350μm以下に薄くする。その後、図18(b)に示すように、保護テープ28をレジスト29から剥がした後に、図18(c)に示すように、レジスト29を溶剤によって除去する。

【0053】これにより、バンプ電極26の整形から基板の研削までの工程が終了する。以上のように、本実施形態では、保護テープ28の貼り付けの前にバンプ電極26とカバー膜24をレジスト29により覆うようにしたので、第4実施形態と同様に、基板研削の際にシリコン基板21にかかる応力はバンプ電極26に集中することではなく、シリコン基板21に割れが生じる確率は極めて低くなる。

【0054】また、フラックスの代わりに使用されるレジスト29は、粘性を高くしたり、ベークにより硬化することが可能なので、バンプ電極26に加わる圧力を分

12

散することができ、基板割れの確率を低くすることができる。なお、バンプ電極の代わりに、第1実施形態で説明した半田以外の材料よりなるバンプ電極を用いてもよい。

(第6の実施の形態) 本実施形態では、新たな構造の保護テープを用いてシリコン基板の裏面を研削・研磨することについて説明する。

【0055】その保護テープは、図19に示すように、ガラスのような紫外線透過性の材料からなる基材層30aの一面の全体に30μmと薄い第1の接着層30bが塗布され、さらに、シリコン基板の縁部に対向する部分にバンプ電極よりも厚い環状の第2の接着層30bが塗布されている。第1及び第2の接着層としては、紫外線(UV)硬化型テープ、例えば(株)古河電工製の商品名SB-TY-Bを使用する。また、バンプ電極の高さは70μm~200μmの場合には、第2の接着層30bの厚さを例えば200μmとする。

【0056】そのような保護テープ30を用意し、図20(a)に示すように、その第2の接着層30bをシリコン基板31の周囲に貼り付ける。そのシリコン基板31の上には絶縁膜(不図示)を介して複数のパッド32が形成され、それらのパッド32上には半田等のバンプ電極33が形成されている。

【0057】次に、図20(b)に示すように、シリコン基板31のうちの保護テープ30に覆われていない面を砥石10によって研削・研磨して例えば350μm以下に薄くする。この研削・研磨の際に、砥石10によって直径200mmのシリコン基板31の全体に例えば10kgの重さがかかるので、その押圧力によってバンプ電極33がシリコン基板31に押圧される。

【0058】このため、複数のバンプ電極33の高さに不揃いが生じている場合には、その押圧力によって高いバンプ電極33がつぶされるので、複数のバンプ電極33の高さがほぼ揃えられることになる。この場合、保護テープ30の基材層30aは硬いので、バンプ電極33が形成されていないシリコン基板31の周縁にも力が加わるので、バンプ電極33の加わる押圧力は従来よりも軽減される。

【0059】そのような素子形成面を保護テープ30によって覆った状態で、シリコン基板31の研磨を終了する。その後、図20(c)に示すように、基材層30aを透過させて第1及び第2の接着層30b、30cにUV光を照射して硬化すると、図20(d)に示すように、それらの接着層30b、30cはシリコン基板31から容易に剥がれる。

【0060】上記した例では、保護テープ30の基材層30aを紫外線(UV)を透過する材料から構成し、さらに接着層30b、30cをUV硬化型の材料から構成したが、このような構造を採用しなくてもよい。例えば、保護テープ30の基材層30aをPET、PPなど

(8)

13

のロックウェル硬度M88以上の硬い樹脂から構成し、接着層30b、30cをアクリル系材料から構成してもよい。このような材料を採用する場合には図20(c)に示した紫外線照射工程は省略される。

【0061】なお、保護テープの第1の接着層30bを省いてもよい。

(第7の実施の形態) 図21は、本発明の第7実施形態に係る半導体基板研削とパンプ電極形成の工程を示す側面図である。まず、図21(a)に示すように、パンプ電極が形成されていないシリコン基板41のうちの半導体素子が形成されている側の面を保護テープ42で覆う。この保護テープ42は、基材層42aと接着層42bを有しており、第1実施形態の保護テープと同じ構造を採用してもよいし、従来使用されている構造の保護テープと同じ構造であってもよい。

【0062】そして、シリコン基板41のうち保護テープ42とは逆の面を砥石10により研削・研磨してシリコン基板41を薄くする。次に、図21(b)に示すように、紫外線硬化材料よりなる接着層43aが塗布された基材層43bを有する支持テープ(ウェハサポートテープ)43をシリコン基板41の研削面上に貼り付ける。

【0063】この後に、図21(c)に示すように、保護テープ42を剥離する。次に、図21(d)に示すように、従来方法又は第1～第3実施形態のいずれかの方法により、シリコン基板41の素子形成面にパンプ電極(突起電極)44を形成する。続いて、紫外線を支持テープ43に照射して接着層43aを硬化させた後に、図21(e)に示すように、支持テープ43をシリコン基板41から剥離する。

【0064】以上のような工程によれば、シリコン基板41の研削面に支持テープ43が貼り付けられた状態でシリコン基板41を工程に流すので、シリコン基板41が補強され、割れたり欠けたりし難くなる。なお、上記した各実施形態におけるシリコン基板の研削は、バックグラインド法、ケミカルエッチング法等を採用する。

{付 記}

(1) 半導体基板上の絶縁膜の上に形成された電極パッドと、前記絶縁膜の上に形成されて前記電極パッドを露出させる開口を有する絶縁性カバー膜と、基材層とその上に塗布されたレジスト層とを有し、該レジスト層を前記半導体基板側に向けた状態で、前記カバー膜の上と前記開口内を覆う保護テープとを有することを特徴とする半導体装置。

(2) 前記金属膜は、多層構造であることを特徴とする

(1)に記載の半導体装置。(3) 前記基材層は、前記レジスト層の感光を防止する材料から構成されることを特徴とする(1)に記載の半導体装置。

(4) 半導体基板上の絶縁膜の上に電極パッドを形成する工程と、前記絶縁膜と前記電極パッドの上に絶縁性カバー膜を形成する工程と、前記電極パッドを露出させる

14

開口を前記絶縁性カバー膜に形成する工程と、基材層とその上に塗布されたレジスト層とを有する保護テープを用意し、該レジスト層を貼り付け面として、前記保護テープを前記カバー膜の上に直接又は間接に貼り付けて前記カバー膜と前記開口を覆う工程と、前記半導体基板のうち前記絶縁膜とは反対側の面を研削して薄くする工程と、前記保護テープのうちの前記基材層を前記レジスト層から剥離する工程とを有することを特徴とする半導体装置の製造方法。

(5) 前記レジスト層を露光、現像して前記開口の上に突起電極形状又は配線形状の窓を形成する工程と、前記窓を通して導電膜を形成することにより、前記電極パッドに電気的に接続される突起電極又は配線を形成する工程をさらに有することを特徴とする(4)に記載の半導体装置の製造方法。

(6) 前記突起電極は、加熱により略球形に変形されることを特徴とする(5)に記載の半導体装置の製造方法。

(7) 前記保護テープを貼り付ける前に、前記電極パッドと前記絶縁膜の上に金属膜を形成する工程と、前記レジスト層を露光、現像して前記開口を通る配線形状にする工程と、前記レジスト層に覆われない部分の前記金属膜をエッチングして配線を形成する工程とをさらに有することを特徴とする(4)に記載の半導体装置の製造方法。

(8) 前記基材層は、前記レジスト層の感光を防止する材料から構成されていることを特徴とする(4)に記載の半導体装置の製造方法。

(9) 前記基材層が、前記レジスト層の感光を防止できない材料から構成されている場合に、前記半導体基板の研削は、前記レジスト層を感光させない光が照射されている室内か暗室内で行われることを特徴とする(4)に記載の半導体装置の製造方法。

(10) 前記金属膜の形成は、材料の異なる金属を複数層形成する工程であることを特徴とする(4)に記載の半導体装置の製造方法。

(11) 半導体基板の上に突起電極を形成する工程と、前記突起電極を覆うフラックス又はレジストを前記半導体基板の上に塗布する工程と、前記フラックス又は前記レジストの上に保護テープを貼る工程と、前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法。

(12) 前記保護テープを貼る前に前記突起電極及び前記フラックスを加熱する工程をさらに有することを特徴とする(11)に記載の半導体装置の製造方法。

(13) 前記レジストを前記半導体基板の上に塗布する前に、フラックスを前記半導体基板の上に塗布し、該フラックス及び前記突起電極を加熱した後に、該フラックスを除去する工程をさらに有することを特徴とする(11)に記載の半導体装置の製造方法。

(9)

15

(14) 前記レジストは、500°C以上の粘度を有する材料からなることを特徴とする(11)に記載の半導体装置の製造方法。

(15) 前記レジストは、前記保護テープが貼りつけられる前にベークされることを特徴とする(11)に記載の半導体装置の製造方法。

(16) 半導体基板の上に突起電極を形成する工程と、前記半導体基板の周縁に対応した部分に他の領域よりも突出する接着層を基材層の上に形成してなる保護テープを用意し、該接着層を前記半導体基板の該周縁に貼る工程と、前記シリコン基板のうち前記保護テープと反対側の面を研削する工程とを有することを特徴とする半導体装置の製造方法。

(17) 前記基材層は、ロックウェル硬度M88以上であることを特徴とする(16)に記載の半導体装置の製造方法。

(18) 前記基材層は、PET又はガラスから構成されていることを特徴とする(17)に記載の半導体装置の製造方法。

(19) 前記基材層は紫外線透過材料から構成され、前記接着層は紫外線硬化材から構成されており、前記半導体基板の研削を終了した後に、前記接着層に紫外線を照射して硬化させる工程をさらに有することを特徴とする(16)に記載の半導体装置の製造方法。

【0065】

【発明の効果】以上述べたように本発明の半導体装置によれば、基材層とこれに塗布されたレジスト層から構成された保護テープによって半導体基板の一面を覆うようにしたので、半導体基板の他面(裏面)の研磨を終えた後に、保護テープの基材層のみを剥離することにより残ったレジスト層をそのままパターニングに使用すると、半導体基板上へのレジスト塗布工程を省略することができる。

【0066】また、本発明の半導体装置の製造方法によれば、基材層とこれに塗布されたレジスト層から構成された保護テープによって半導体基板の一面を覆った後に、半導体基板の他面(裏面)を研削し、ついで保護テープの基材層をレジスト層から剥離し、その後、レジスト層を露光、現像してパンプ電極形成や配線形成のレジストパターンを形成するようにしたので、レジスト塗布の手間が省け、スループットが向上するばかりでなく、レジスト層を溶剤によりほぼ完全に除去することが容易なので、半導体基板の汚染を防止できる。さらに、剥離された基材層上には従来のような接着剤が存在しないので、再利用が可能になり廃棄量を減らすことができる。

【0067】また、別の発明によれば、半導体基板の裏面を研削する際に、それと反対側の面に形成された突起電極の間にフラックス又はレジストを塗布するようにし、さらにその上に保護テープを貼るようにしたので、

16

半導体基板を研削する際に、保護テープの押圧力は突起電極のみならずフラックス又はレジストにも加わって分散され、半導体基板の割れを防止することができる。

【0068】更に別の発明によれば、半導体基板の一面を保護テープで覆った状態でその他面を研削した後に、その他面に支持テープ(サポートテープ)を貼り付けた状態で、保護テープを剥離し、さらに、その一面に突起電極を形成するようにしたので、サポートテープによって補強された半導体基板は、突起電極を形成する際の基板の割れを防止できる。

【図面の簡単な説明】

【図1】従来の半導体基板の研削方法を示す斜視図である。

【図2】従来の半導体装置の第1のパンプ電極形成工程を示す断面図である。

【図3】従来の半導体装置の第1のパンプ電極形成工程を示す断面図である。

【図4】本発明の第1実施形態に係る半導体基板の研削・研磨工程を示す断面図(その1)である。

【図5】本発明の第1実施形態に係る半導体基板の研削・研磨工程を示す断面図(その2)である。

【図6】本発明の第1実施形態に係る半導体基板の研削・研磨工程を示す断面図(その3)である。

【図7】本発明の第1実施形態に係る半導体基板の研削・研磨工程を示す断面図(その4)である。

【図8】本発明の実施形態に使用される保護テープの断面図である。

【図9】本発明の実施形態におけるシリコン基板の研磨状態を示す図である。

【図10】本発明の第2実施形態に係る半導体基板の研削・研磨工程を示す断面図(その1)である。

【図11】本発明の第2実施形態に係る半導体基板の研削・研磨工程を示す断面図(その2)である。

【図12】本発明の第3実施形態に係る半導体装置の上面図である。

【図13】本発明の第3実施形態に係る半導体基板の研磨・研削工程を示す断面図(その1)である。

【図14】本発明の第3実施形態に係る半導体基板の研磨・研削工程を示す断面図(その2)である。

【図15】本発明の第4実施形態に係る半導体基板の研磨・研削工程を示す断面図(その1)である。

【図16】本発明の第4実施形態に係る半導体基板の研磨・研削工程を示す断面図(その2)である。

【図17】本発明の第5実施形態に係る半導体基板の研磨・研削工程を示す断面図(その1)である。

【図18】本発明の第5実施形態に係る半導体基板の研磨・研削工程を示す断面図(その2)である。

【図19】本発明の第6、第7実施形態に使用される保護テープを示す斜視図である。

【図20】本発明の第6実施形態に係る半導体基板の研

(10)

17

磨・研削工程を示す断面図である。

【図21】本発明の第7実施形態に係る半導体基板の研磨・研削工程を示す断面図である。

【符号の説明】

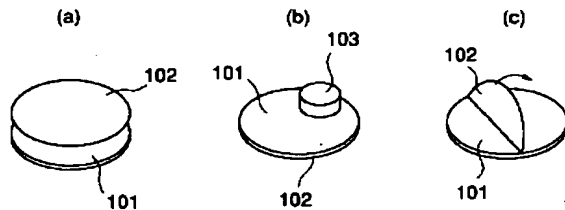
1…シリコン基板（半導体基板）、2…絶縁膜、3…電極パッド、4…カバー膜、5…第1の金属膜、6…第2の金属膜、7…保護テープ、7a…レジスト層、7b…基材層、8、9…パンプ電極、10…研磨盤、11…露光マスク、12…引出配線、12a…金属膜、13…パ

18

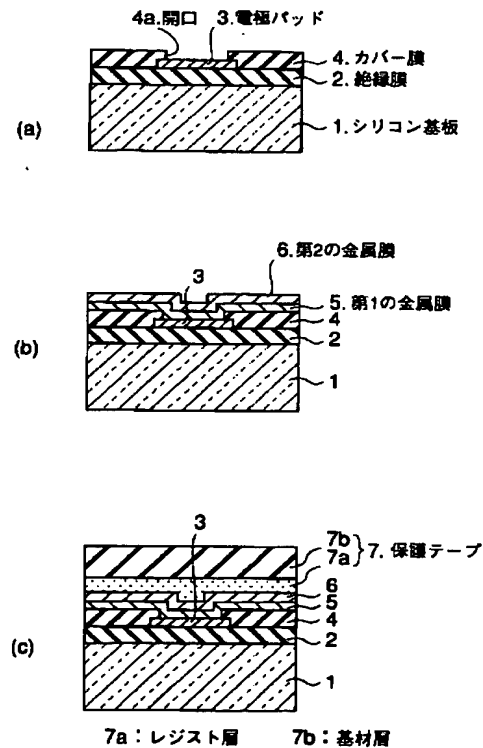
ンプ電極（突起電極）、21…シリコン基板（半導体基板）、22…絶縁膜、23…電極パッド、24…カバー膜、25…金属膜、26…パンプ電極（突起電極）、27…フラックス、28…保護テープ、29…レジスト、30…保護テープ、30a…基材層、30b、30c…接着層、31…シリコン基板（半導体基板）、32…電極パッド、33…パンプ電極（突起電極）、41…シリコン基板（半導体基板）、42…保護テープ、43…支持テープ、44…パンプ電極（突起電極）。

【図1】

従来技術（その1）

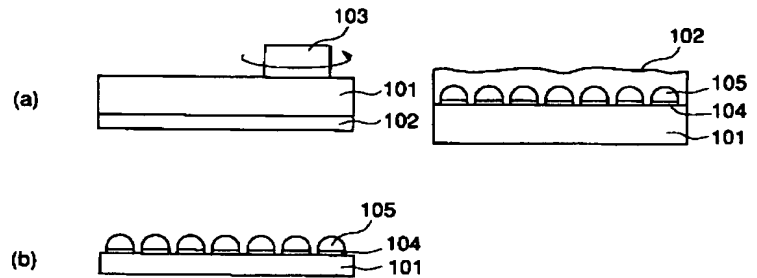


【図4】

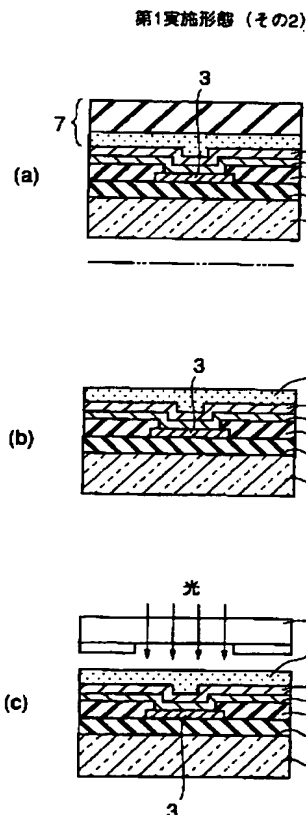


【図2】

従来技術（その2）

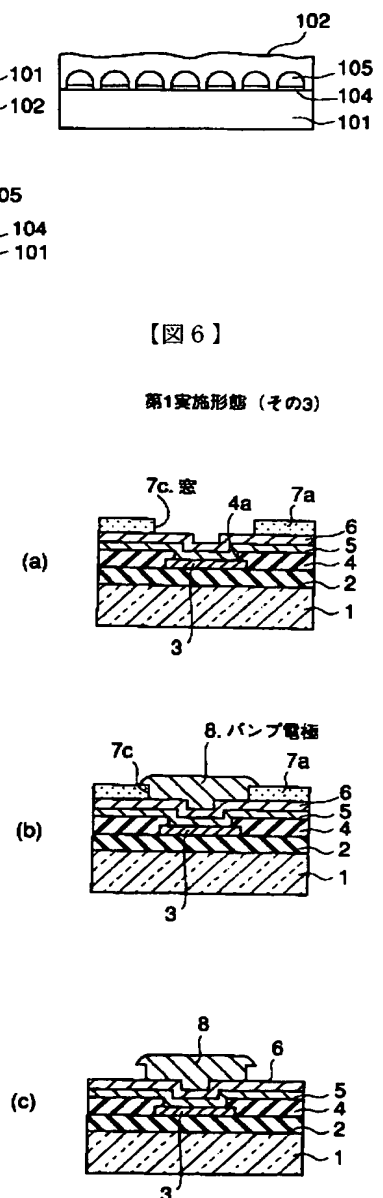


【図5】

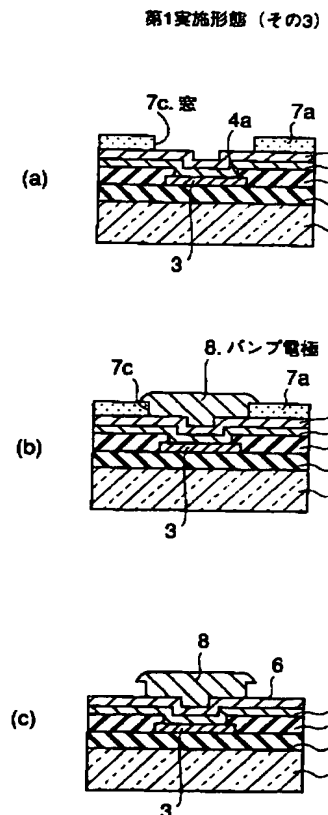


【図3】

従来技術（その3）



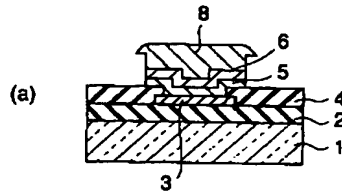
【図6】



(11)

【図7】

第1実施形態（その4）



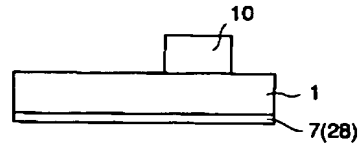
【図8】

本発明の実施形態に使用される保護テープの断面図



【図9】

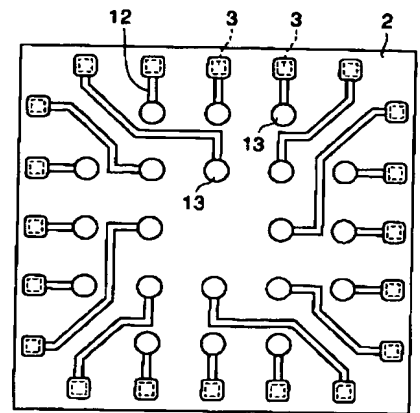
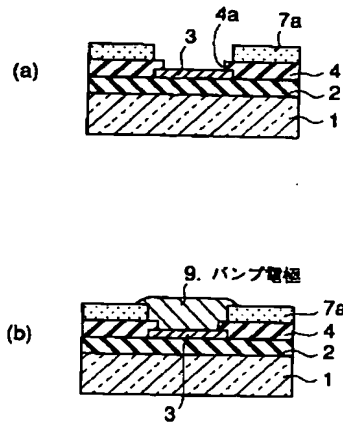
本発明の実施形態におけるシリコン基板の研磨状態を示す図



【図11】

【図12】

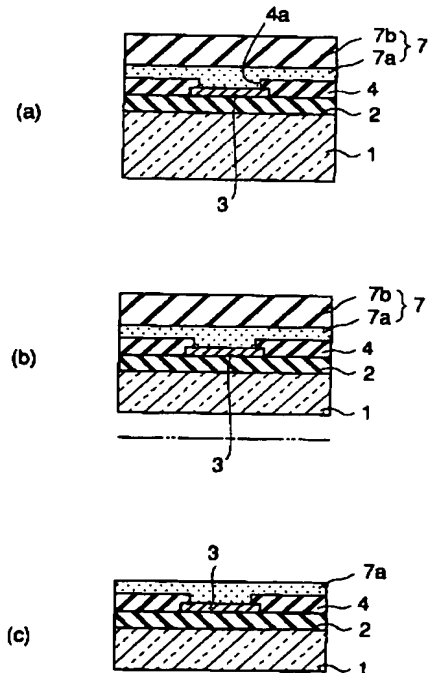
第2実施形態（その2）



12: 引出配線
13: パッド電極

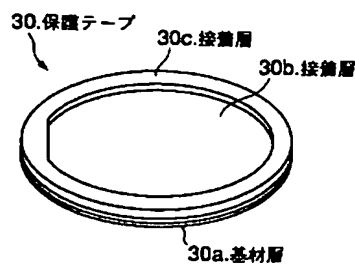
【図10】

第2実施形態（その1）



【図19】

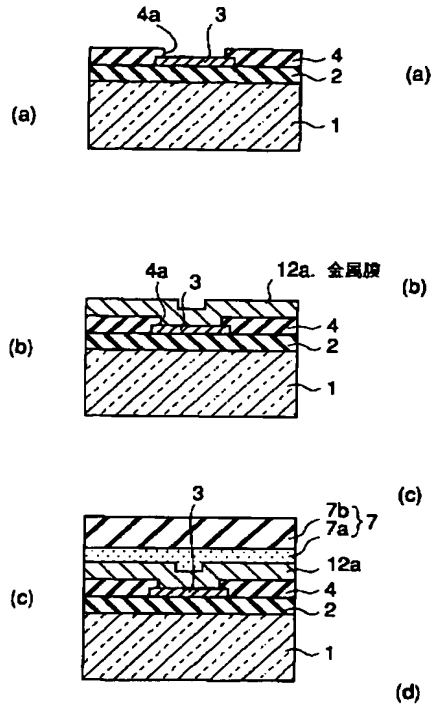
第6実施形態に使用される保護テープ



(12)

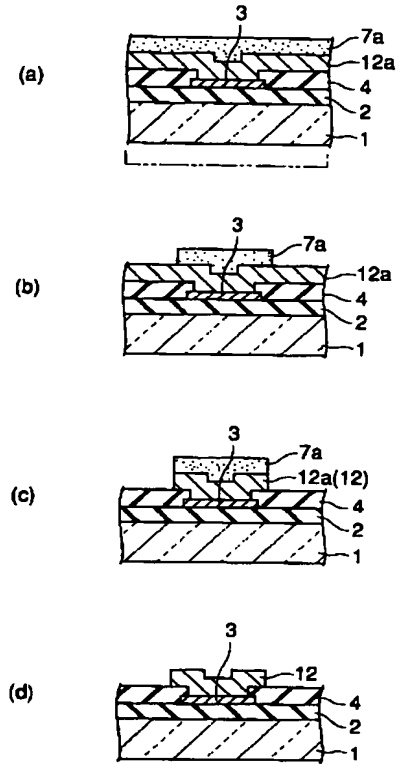
【図13】

第3実施形態 (その1)



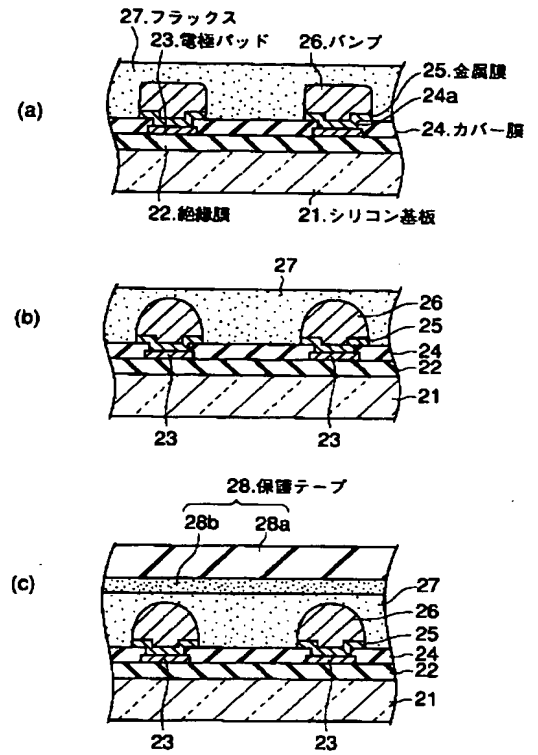
【図14】

第3実施形態 (その2)



【図15】

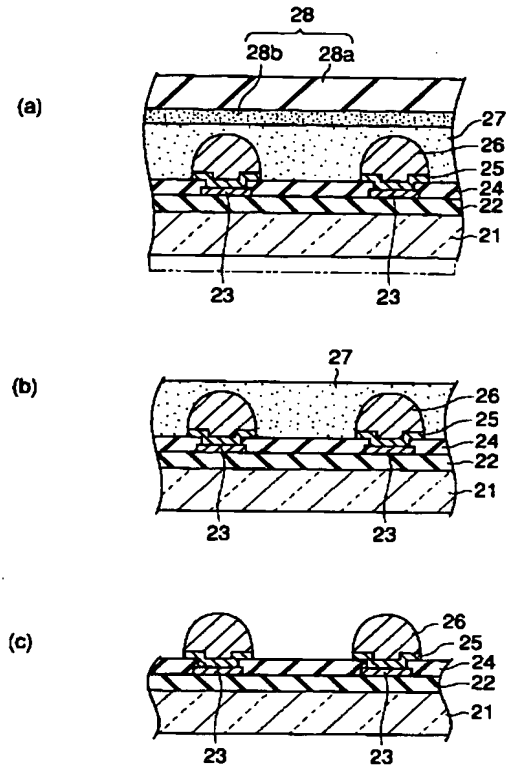
第4実施形態 (その1)



(13)

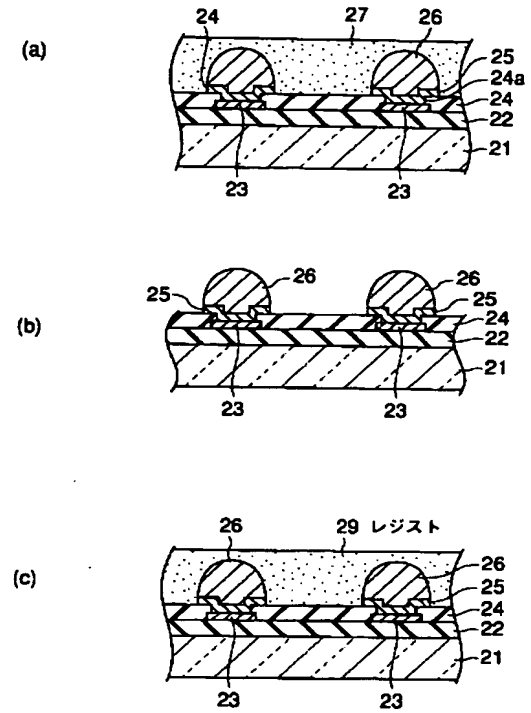
【図16】

第4実施形態（その2）



【図17】

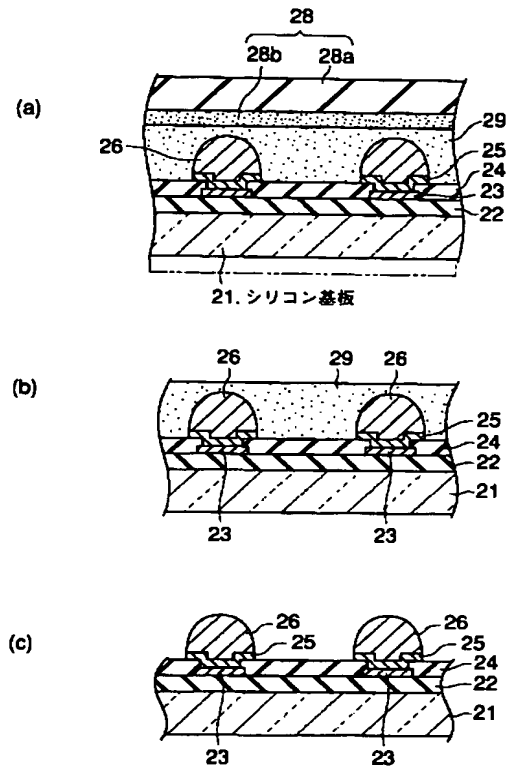
第5実施形態（その1）



(14)

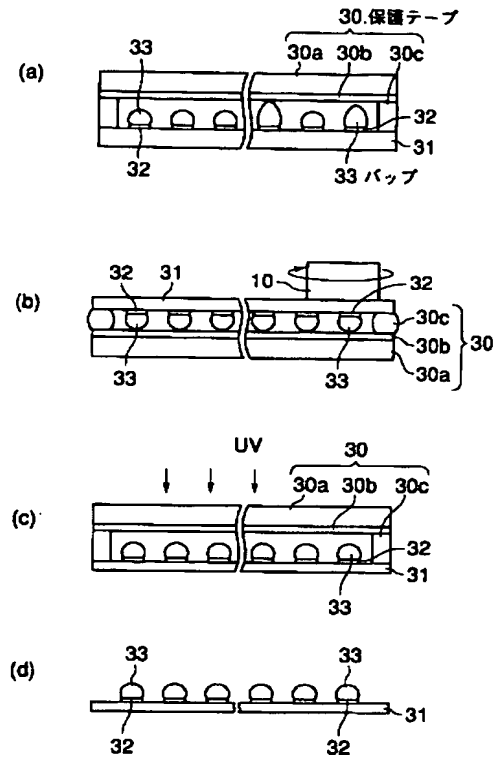
【図18】

第5実施形態（その2）



【図20】

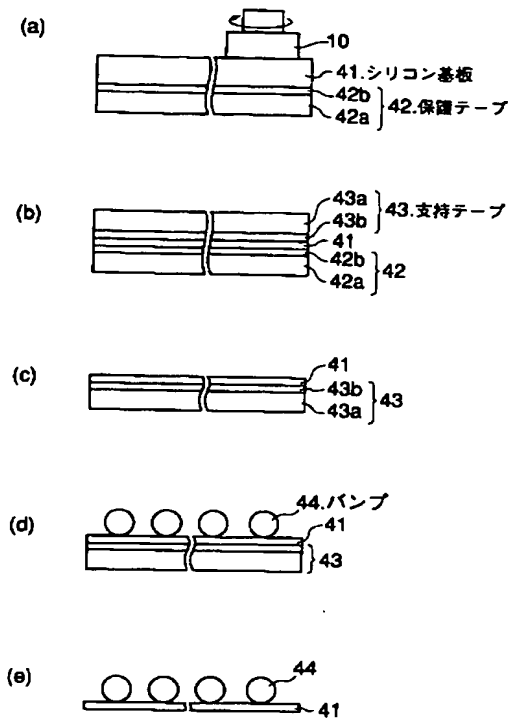
第6実施形態



(15)

【図21】

第7実施形態



フロントページの続き

(72) 発明者 渡辺 英二

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

(72) 発明者 牧野 豊

神奈川県川崎市中原区上小田中4丁目1番

1号 富士通株式会社内

Fターム(参考) 5F033 HH07 HH11 HH13 HH14 HH18

JJ01 JJ07 JJ11 JJ13 JJ14

JJ18 MM05 MM08 PP26 PP27

PP28 QQ00 QQ08 QQ09 QQ27

QQ30 QQ37 QQ47 QQ54 QQ73

QQ75 RR04 XX33

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196404

(43)Date of publication of application : 19.07.2001

(51)Int.Cl. H01L 21/60
H01L 21/304
H01L 21/3205
H01L 23/12

(21)Application number : 2000-002551

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.01.2000

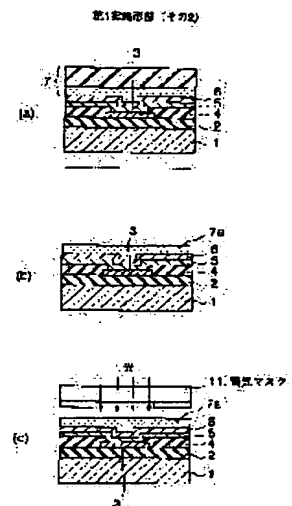
(72)Inventor : ISHIKURI MASAHIKO
MURATA KOICHI
WATANABE EIJI
MAKINO YUTAKA

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a semiconductor device in which a substrate is required to be reduced in thickness to be improved in throughput in a series of processes in which a semiconductor substrate is ground and polished and bmp electrodes are formed.

SOLUTION: A semiconductor device is equipped with an electrode 3 formed on an insulating film 2 on a semiconductor substrate 1, an insulating cover film 4 which is provided with an opening 4a that makes the electrode 3 exposed and formed on the insulating film 2, and a protective tape 7 provided with a base layer 7b and a resist layer 7a applied on the layer 7 to cover the cover film 4 and the inside of the opening 4a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by to have the electrode pad formed on the insulator layer on a semi-conductor substrate, the insulating covering film which has opening to which it is formed on said insulator layer and said electrode pad is exposed, and a base material layer and the resist layer applied on it, and to have wrap masking tape for said covering film top and the inside of said opening where this resist layer is turned to said semi-conductor substrate side.

[Claim 2] The semiconductor device according to claim 1 characterized by forming the wrap metal membrane in the bottom of said insulating covering film in said electrode pad and said insulator layer.

[Claim 3] The process which forms an electrode pad on the insulator layer on a semi-conductor substrate, and said insulator layer and the process which forms the insulating covering film on said electrode pad, The process which forms in said insulating covering film opening to which said electrode pad is exposed, The masking tape which has a base material layer and the resist layer applied on it is prepared, and this resist layer is stuck. As a field Said masking tape is stuck directly or indirectly on said covering film. Said covering film and said opening A wrap process, The manufacture approach of the semiconductor device characterized by having the process which carries out grinding of the field of an opposite hand to said insulator layer, and makes it thin with it, and the process which exfoliates said base material layer of said masking tape from said resist layer among said semi-conductor substrates.

[Claim 4] The manufacture approach of the semiconductor device according to claim 3 characterized by having further the process which exposes and develops said resist layer and forms the aperture of a projection electrode configuration or a wiring configuration on said opening, and the process which forms the projection electrode or wiring electrically connected to said electrode pad by forming the electric conduction film through said aperture.

[Claim 5] The manufacture approach of the semiconductor device according to claim 4 characterized by having further said electrode pad, the process which forms a metal membrane on said insulator layer, and the process which etches said metal membrane into a mask using said projection electrode or said wiring after forming said projection electrode before sticking said masking tape.

[Claim 6] The manufacture approach of the semiconductor device characterized by having the process which forms a projection electrode on a semi-conductor substrate, the process which applies wrap flux or a resist for said projection electrode on said semi-conductor substrate, the process which sticks masking tape on said flux or said resist, and the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

[Claim 7] The manufacture approach of the semiconductor device characterized by to have the process which prepares the masking tape which comes to form the process which forms a projection electrode on a semi-conductor substrate, and the glue line which projects rather than other fields into the part corresponding to the periphery of said semi-conductor substrate on a base material layer, and sticks this glue line on this periphery of said semi-conductor substrate, and the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

[Claim 8] The manufacture approach of the semiconductor device according to claim 7 characterized by forming another glue line thinner than said glue line in the field surrounded by said glue line among said

base material **** of said masking tape.

[Claim 9] The thickness of said base material layer or the account glue line from said another glue line is the manufacture approach of the semiconductor device according to claim 7 characterized by being the same as the height of said projection electrode, or being thicker than it.

[Claim 10] The process which sticks masking tape directly or indirectly on a component forming face among semi-conductor substrates, The process which carries out grinding of the rear face of an opposite hand to said masking tape among said semi-conductor substrates, The process which sticks the support tape which comes to form an ultraviolet curing mold glue line in a base material layer on said rear face of said semi-conductor substrate, The manufacture approach of the semiconductor device characterized by having the process which exfoliates said masking tape from said semi-conductor substrate, the process which forms a projection electrode on the component forming face of said semi-conductor substrate, and the process which irradiates ultraviolet rays at said ultraviolet curing mold glue line.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the semiconductor device set as the object of lamination, and a semiconductor device including the polish process on the rear face of a semi-conductor substrate in more detail about a semiconductor device and its manufacture approach.

[0002]

[Description of the Prior Art] It is important for the miniaturization of the semiconductor device constituted by packing an LSI chip, and the three-dimension mounting technology which accumulates a semiconductor device to thin-shape-ize a semiconductor integrated circuit (LSI) chip. Generally the approach the lamination of an LSI chip grinds the rear face of a semi-conductor substrate in which the semiconductor device was formed is adopted.

[0003] For example, drawing 1 (a) - (c) After sticking masking tape 102 on the whole surface of the semi-conductor substrate 101 so that it may be shown, in addition to this, about a field (rear face), with a grinder 103, it grinds, and is made thin in the thickness of a request of the semi-conductor substrate 101, and grinding and the approach of subsequently exfoliating the masking tape 102 are. Masking tape 102 is for protecting the component formed in the semi-conductor substrate 101 from the mechanical stress at the time of grinding and polish.

[0004] There are the two following approaches in the mounting arrangement of the bump to the semi-conductor substrate ground by such approach. The 1st drawing 2 (a) After being in the condition which stuck masking tape 102 on the whole surface of the semi-conductor substrate 101, in addition grinding

and carrying out lamination of the field with a grinder 103 so that it may be shown, masking tape 102 is removed from the semi-conductor substrate 101, and subsequently it is drawing 2 (b). It is the approach of forming the bump electrode 105 on the pad 104 of the whole surface of the semi-conductor substrate 101 so that it may be shown.

[0005] Masking tape 102 is stuck on the whole surface of the semi-conductor substrate 101 so that the bump electrode 105 may be covered, after forming the bump electrode 105 on the pad 104 of the whole surface of the semi-conductor substrate 101, as shown [2nd] in drawing 3 , and it is drawing 1 (b) after that. The other sides of the semi-conductor substrate 101 are ground so that it may be shown. In addition, the bump electrode 105 is formed using the resist formed after the activity which removes all the masking tape.

[0006]

[Problem(s) to be Solved by the Invention] By the way, the masking tape which uses the rear face of a semi-conductor substrate in case it grinds, grinding and is expensive, and discarding the masking tape which exfoliated from the semi-conductor substrate moreover causes environmental pollution. Moreover, if a bump electrode is formed on a semi-conductor substrate after finishing the grinding and polish of a semi-conductor substrate, the semi-conductor substrate which became thin tends to break in the midst of bump electrode formation, and causes yield lowering.

[0007] On the other hand, after forming a bump electrode on a semi-conductor substrate and sticking masking tape on a semi-conductor substrate from on the, when it grinds, stress concentrates on a bump electrode and a semi-conductor substrate sometimes breaks [grinding and] a semi-conductor substrate. Furthermore, there is also inconvenience of taking time amount in masking tape pasting and exfoliation of masking tape which were described above, and a series of activities of bump electrode formation.

[0008] The 1st object of this invention is to offer the grinding and polish of a semi-conductor substrate, the semiconductor device which can improve the throughput in a series of processes of bump electrode formation, and its manufacture approach. In case the 2nd object of this invention is the grinding and polish of the substrate with which the bump was formed, it is to offer the manufacture approach of the semiconductor device which can prevent the crack of a substrate.

[0009]

[Means for Solving the Problem] (1) The electrode pad with which the above-mentioned technical problem was formed on the insulator layer on a semi-conductor substrate, Where it has the insulating covering film which has opening to which it is formed on said insulator layer and said electrode pad is exposed, and a base material layer and the resist layer applied on it and this resist layer is turned to said semi-conductor substrate side It is solved by the semiconductor device characterized by having wrap masking tape for said covering film top and the inside of said opening.

[0010] In the above-mentioned semiconductor device, a wrap metal membrane may be formed in the bottom of said insulating covering film for said electrode pad and said insulator layer. Next, the above-mentioned operation of invention is explained. He is trying to cover the whole surface of a semi-conductor substrate with the masking tape which consisted of a base material layer and a resist layer applied to this according to the semiconductor device of this invention.

[0011] If the resist layer which remained by exfoliating only the base material layer of masking tape is used for patterning as it is by this after finishing polish [on the other hand / (rear face)] of a semi-conductor substrate, the resist spreading process to a semi-conductor substrate top will be skipped.

(2) The process at which the above-mentioned technical problem forms an electrode pad on the insulator layer on a semi-conductor substrate, Said insulator layer and the process which forms the insulating covering film on said electrode pad, The process which forms in said insulating covering film opening to which said electrode pad is exposed, The masking tape which has a base material layer and the resist layer applied on it is prepared, and this resist layer is stuck. As a field Said masking tape is stuck directly or indirectly on said covering film. Said covering film and said opening A wrap process,

With said insulator layer, it is solved among said semi-conductor substrates by the manufacture approach of the semiconductor device characterized by having the process which carries out grinding of the field of an opposite hand, and makes it thin, and the process which exfoliates said base material layer of said masking tape from said resist layer.

[0012] You may make it have further the process which sets to the manufacture approach of the above-mentioned semiconductor device, exposes and develops said resist layer, and forms the aperture of a bump configuration or a wiring configuration on said opening, and the process which forms the bump electrode or wiring electrically connected to said electrode pad by forming the electric conduction film through said aperture. Moreover, in the manufacture approach of the above-mentioned semiconductor device, before sticking said masking tape, said electrode pad, the process which forms a metal membrane on said insulator layer, and the process which etches said metal membrane into a mask using said bump or said wiring after forming said bump electrode may be included further.

[0013] Next, an operation of the manufacture approach of the semiconductor device of this invention is explained. After covering the whole surface of a semi-conductor substrate with the masking tape which consisted of a base material layer and a resist layer applied to this, on the other hand (rear face), a semi-conductor substrate carries out grinding, and the base material layer of masking tape was made to exfoliate from a resist layer subsequently according to this invention. Therefore, if the resist layer is exposed and developed in the condition as it is and the resist pattern of bump electrode formation or wiring formation is formed, the time and effort of resist spreading can be saved and a throughput will improve.

[0014] Moreover, since a resist layer is easy to remove nearly thoroughly with a solvent, a semi-conductor substrate top is not polluted. Furthermore, since adhesives like before do not exist on the base material layer which exfoliated, reuse becomes possible, can reduce the amount of abolition, and is useful to environmental protection. Moreover, since it can process in the usual environment until it exfoliates a base material layer from a resist layer if constituted from an ingredient which prevents exposure of a resist layer as an ingredient of a base material layer, workability improves.

(3) The above-mentioned technical problem is solved by the manufacture approach of the semiconductor device characterized by to have the process which forms a projection electrode on a semi-conductor substrate, the process which applies wrap flux or a resist for said projection electrode on said semi-conductor substrate, the process which sticks masking tape on said flux or said resist, and the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

[0015] Next, an operation of this invention is explained. In case grinding of the rear face of a semi-conductor substrate is carried out, he applies flux or a resist between the projection electrodes formed in the field of it and an opposite hand, and is trying to stick masking tape on it further according to this invention. Since the thrust of masking tape joins not only a projection electrode but flux or a resist and is distributed by this in case grinding of the semi-conductor substrate is carried out, the crack of a semi-conductor substrate is prevented.

[0016] Moreover, if it sticks masking tape in the condition as it is after heating the projection electrode covered by flux in forming flux between projection electrodes, a process will not increase conventionally. Furthermore, in applying a resist between projection electrodes, it can be made to harden by BEKU, after applying a resist, and the stress concerning a semi-conductor substrate becomes homogeneity.

[0017] When masking tape is stuck on flux or a resist, the glue line of masking tape stops moreover, remaining on a substrate.

(4) The process at which the above-mentioned technical problem forms a projection electrode on a semi-conductor substrate, The process which prepares the masking tape which comes to form the glue line which projects rather than other fields into the part corresponding to the periphery of said semi-conductor substrate on a base material layer, and sticks this glue line on this periphery of said semi-conductor substrate, It is solved by the manufacture approach of the semiconductor device

characterized by having the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

[0018] In the manufacture approach of the above-mentioned semiconductor device, another glue line thinner than said glue line may be formed in the field surrounded by said glue line among said base material **** of said masking tape. In the manufacture approach of the above-mentioned semiconductor device, the thickness of said base material layer or the account glue line from said another glue line is the same as the height of said projection electrode, or it is desirable that it is thicker than it.

[0019] Next, an operation of this invention is explained. According to this invention, the glue line of masking tape is made to project in the part corresponding to the periphery of a semi-conductor substrate. The force applied to a projection electrode from masking tape is distributed by the periphery of a semi-conductor substrate by this, and a substrate crack-comes to be hard.

[0020] And as for two or more projection electrodes, the height is arranged by the thrust of masking tape. In this case, since the amount of press of masking tape is restricted by the glue line which projected in that periphery, the height of a projection electrode does not become low too much.

(5) The process at which the above-mentioned technical problem sticks masking tape directly or indirectly on a component forming face among semi-conductor substrates, The process which carries out grinding of the rear face of an opposite hand to said masking tape among said semi-conductor substrates, The process which sticks the support tape which comes to form an ultraviolet curing mold glue line in a base material layer on said rear face of said semi-conductor substrate, It is solved by the manufacture approach of the semiconductor device characterized by having the process which exfoliates said masking tape from said semi-conductor substrate, the process which forms a projection electrode on the component forming face of said semi-conductor substrate, and the process which irradiates ultraviolet rays at said ultraviolet curing mold glue line.

[0021] Next, an operation of this invention is explained. According to this invention, where the whole surface of a semi-conductor substrate is covered with masking tape, after carrying out grinding of the field in addition to this, in addition where a support tape (support tape) is stuck on a field, masking tape is exfoliated and the projection electrode was further formed in the whole surface. Therefore, a substrate crack-comes to be hard of a substrate in case the semi-conductor substrate reinforced on the support tape forms a projection electrode.

[0022]

[Embodiment of the Invention] The operation gestalt of this invention is explained based on a drawing below.

(Gestalt of the 1st operation) Drawing 4 - drawing 7 are the sectional views showing the production process of the semiconductor device in which the 1st operation gestalt of this invention is shown.

[0023] First, drawing 4 (a) An insulator layer 2 is formed on the silicon (semi-conductor) substrate 1 with which semiconductor devices (un-illustrating), such as a transistor, were formed, and the electrode pad 3 is formed on it so that it may be shown. Although the electrode pad is omitted by a diagram, two or more formation of it is carried out on the insulator layer 2. The electrode pad 3 is electrically connected to the semiconductor device formed in the silicon substrate 1. Moreover, an insulator layer 2 may insulate a multilayer interconnection and may be a wrap insulator layer about the semiconductor device in a silicon substrate 1.

[0024] Then, after forming the insulating covering film 4, for example, silicon oxide, on an insulator layer 2 and the electrode pad 3, opening 4a which carries out patterning of the covering film 4 by the photolithography method, and exposes the electrode pad 3 is formed. Furthermore, drawing 4 (b) After forming the 1st metal membrane 5 which consists of titanium (Ti) the covering film 4 top and in opening 4a at the thickness of 500nm so that it may be shown, the 2nd metal membrane 6 which consists of nickel (nickel) is formed on the 1st metal membrane 5 at the thickness of 500nm.

[0025] Then, the protection film 7 which consisted of with a thickness [as shown in drawing 8] of 25-125 micrometers resist layer 7a, and base material with a thickness of 50-200 micrometers applied on it

layer 7b is prepared. Resist layer 7a consists of photosensitive ingredients, such as g line which consists of cyclized rubber, such as a bis-azide system and an azide compound system, i line, ultraviolet rays, and an electron ray. The resist layer 7a is using the positive type in the following examples, although a positive type or a negative mold is good. Moreover, base material layer 7b consists of resin, such as PET (polyethylenenaphthalate) and PP (polypropylene). In addition, in order to prevent sensitization of resist layer 7a to base material layer 7b, the ingredient which intercepts exposure light may be included in resist layer 7a, or may be applied on resist layer 7a.

[0026] And it is drawing 4 (c) about the protection film 7. It is sticking-by-pressure ***** on the 2nd metal membrane 6 so that it may be shown. Subsequently, drawing 5 (a) As shown in drawing 9, grinding and polish of the rear face of a silicon substrate 1 are done by the back-grinding approach. The amount of polishes is converted into thickness, for example, is set to 320–550 micrometers. A grinder (grinding stone) 10 is used at the time of back grinding.

[0027] Then, base material layer 7b of the protection films 7 is exfoliated from resist layer 7a, and it is drawing 5 (b). Resist layer 7a is exposed so that it may be shown. Then, drawing 5 (c) Resist layer 7a is exposed using a photo mask 11, and light is irradiated on opening 4a of the covering film 4, and the circumference of it so that it may be shown. In using g line or i line as an exposure light, it makes light exposure into 50 – 500 mj/cm².

[0028] After that, it is drawing 6 (a). Resist layer 7a is developed using a developer, and aperture 7c is formed above an opening 4a top and the circumference of it so that it may be shown. In this case, the solution which heated Na₂CO₃ water of 0.1 – 3.0% of concentration or TMAH water of 0.1 – 3.0% of concentration at 30–50 degrees C is used as a developer. Moreover, the spray developing–negatives method with an outgoing radiation pressure of 1.5–2.5kg/cm² is adopted as a development method.

[0029] As a flat–surface configuration of aperture 7c for bump formation, it considers as a regular polygon and an approximate circle form. In addition, when there is no function to **** exposure in base material layer 7b of the protection film 7, a series of activities from attachment of the protection film 7 to the development of resist layer 7b are done the interior of a room where only the nonphotosensitivity light called a yellow room was irradiated, or in a dark room.

[0030] Next, drawing 6 (b) The bump electrode (projection electrode) 8 which consists of lead tin (PbSn) is formed on the 2nd metal membrane 6 exposed from aperture 7c so that it may be shown. The bump electrode 8 is formed using electrolysis plating which uses the 1st and 2nd metal membranes 5 and 6 as an electrode. Furthermore, drawing 6 (c) It is immersed in exfoliation liquid and resist layer 7a is removed from on the 2nd metal membrane 6 so that it may be shown. The solution which heated TMAH water of 20% of concentration, thing ethanolamine water of 20% of concentration, or Na₂CO₃ water of 5% of concentration at 50–60 degrees C as the exfoliation liquid is used.

[0031] Next, drawing 7 (a) It leaves only the bottom of the bump electrode 8 by etching the 1st and 2nd metal membranes 5 and 6 into a mask using the bump electrode 8 so that it may be shown. and drawing 7 (b) heating and carrying out a reflow of the bump electrode 8 at the temperature more than the melting point so that it may be shown -- the 2nd electrode 6 top -- abbreviation -- it operates orthopedically so that it may become spherical. In the above processes, since resist layer 7a was used as a glue line of masking tape 7, grinding and after grinding, resist layer 7a can be used for a silicon substrate 1 as it is as a mask for bump electrode formation, the process from polish to bump electrode formation is simplified, and a throughput improves. And since resist layer 7a can be thoroughly removed from on a silicon substrate 1 with exfoliation liquid, generating of adhesives (paste) ** in a substrate which has been generated with the conventional masking tape is canceled.

[0032] Moreover, it becomes possible to reuse base material layer 7b which constitutes masking tape 7 by applying a resist on it. In addition, as an ingredient which constitutes the above–mentioned bump electrode 8, it may not restrict to PbSn, the nickel formed by electrolysis plating or the electroless deposition method, gold or nickel and the golden two–layer structure film, a SnAg alloy, a SnSb alloy, or electric conduction material with a melting point of 400 degrees C or less may be used, and the cross–

section configuration in this case turns into the shape of pillar-shaped or a mushroom. Moreover, after forming the solder which uses Pb and Sn as a principal component by electrolysis plating, the replica method, print processes, etc., the solder is heated on such a metal membrane, and it is good for it also as the shape of an abbreviation globular form.

[0033] When nickel is formed by the electroless deposition method, additional formation of the antioxidizing coats, such as gold, palladium, and platinum, may be carried out by the electroless deposition method on it, and a process which removes a resist layer after that may be adopted. Moreover, you may make it form wiring instead of a bump electrode by making into a wiring configuration the configuration of aperture 7c formed in the above-mentioned resist layer 7a.

(Gestalt of the 2nd operation) In the process explained with the 1st operation gestalt, formation of the 1st and 2nd metal membranes 5 and 6 may be omitted, and such a process is explained below.

[0034] First, after forming in the covering film 4 opening 4a which exposes the electrode pad 3, it is drawing 10 (a). Masking tape 7 is stuck on the covering film 4 and the electrode pad 3 so that it may be shown. And drawing 10 (b) Grinding and after grinding, it is drawing 10 (c) about the rear face of a silicon substrate 1, so that it may be shown. Base material layer 7b which constitutes masking tape 7 is exfoliated from resist layer 7a so that it may be shown. Then, drawing 11 (a) Aperture 7c which exposes opening 4a is formed by exposing and developing resist layer 7a so that it may be shown.

[0035] Furthermore, drawing 11 (b) Nickel and gold are directly formed by the electroless deposition method on the electrode pad 3 through the aperture 7c and opening 4a, and this is used as a Bengbu electrode 9 so that it may be shown. After that, it is drawing 11 (c). Resist layer 7a is exfoliated so that it may be shown. Also in the above processes, since resist layer 7a was used as a glue line of masking tape 7, the resist layer 7a can be used as a mask of the following process, and a throughput improves.

[0036] Aperture 7c formed in resist layer 7a is made into a wiring configuration, and you may make it form wiring instead of a bump electrode also in this operation gestalt.

(Gestalt of the 3rd operation) Although the resist which constitutes masking tape from a gestalt of the 1st operation was used for formation of a bump electrode, you may use it for formation of pad relocation.

[0037] Pad relocation is forming drawer wiring prolonged from the electrode pad 3 to the method of outside, as shown in drawing 12. Such pad relocation is performed for securing the formation location of the bump electrode 13 electrically connected to the electrode pad 3 made detailed. Pad relocation of this operation gestalt is performed as follows. First, drawing 1313 (a) An insulator layer 2 is formed on the silicon substrate 1 in which the semiconductor device was formed, and the electrode pad 3 is formed on it so that it may be shown.

[0038] Then, after forming the insulating covering film 4 on an insulator layer 2 and the electrode pad 3, opening 4a which carries out patterning of the covering film 4 by the photolithography method, and exposes the electrode pad 3 is formed. Furthermore, drawing 13 (b) Metal membrane 12a is formed in order the covering film 4 top and in opening 4a at the thickness of 500nm so that it may be shown. As metal membrane 12a, there are 3 layer system film which formed titanium (Ti), nickel (nickel), and gold (Au) in order, and two-layer structure film which formed titanium (Ti) and copper (Cu) in order.

[0039] Next, drawing 13 (c) The protection film 7 of the same structure as the 1st operation gestalt is stuck by pressure and stuck on metal membrane 12a so that it may be shown. And by the back-grinding approach, in the background of a silicon substrate 1, grinding and after grinding, base material layer 7b of the protection films 7 is exfoliated from resist layer 7a, and it is drawing 14 (a). Resist layer 7a is exposed so that it may be shown.

[0040] Then, drawing 14 (b) It is made a drawer wiring configuration towards the method of outside by exposing and developing resist layer 7a from opening 4a of the covering film 4 so that it may be shown. After that, it is drawing 14 (c). By etching the part which is not covered with resist layer 7a among metal membrane 12a, patterning of the metal membrane 12a is carried out, and this is used as drawer wiring 12 so that it may be shown.

[0041] Next, drawing 14 (d) After a solvent removes resist layer 7a so that it may be shown, the bump

electrode 13 is formed in the drawer wiring 12. The formation approach of the bump electrode 13 is performed by electrolysis plating or the electroless deposition method which uses a resist pattern (un-illustrating). In the above processes, since resist layer 7a was used as a glue line of masking tape 7, grinding and after grinding, resist layer 7a can be used for the field which is not covered with masking tape 7 among silicon substrates 1 as it is as a mask for drawer wiring formation, the process from polish to drawer wiring formation is simplified, and a throughput improves.

[0042] And since resist layer 7a can be thoroughly removed from on a silicon substrate 1 with exfoliation liquid, it does not remain. In addition, base material layer 7b which constitutes masking tape 7 may reuse.

(Gestalt of the 4th operation) Drawing 15 and drawing 16 are the sectional views concerning the substrate polish process of the semiconductor device manufacture concerning the 4th operation gestalt of this invention.

[0043] First, drawing 15 (a) A process until it becomes structure as shown is explained. Drawing 15 (a) It sets, semiconductor devices (un-illustrating), such as a transistor, are formed in the silicon (semiconductor) substrate 21, and the wrap insulator layer 22 is formed in the whole surface of the semiconductor substrate 21 in the semiconductor device. On the insulator layer 22, two or more formation of the electrode pad 23 is carried out. Moreover, the electrode pad 23 is exposed from opening 24a which the covering film 24 which consists of silicon oxide etc. was formed on the electrode pad 23 and the insulator layer 22, and was formed in the covering film 24.

[0044] On the electrode pad 23, the metal membrane 25 of the two-layer structure which consists of titanium (Ti) and nickel (nickel) is formed, and the bump electrode (projection electrode) 26 which consists of solder which uses Pb and Sn as a principal component is further formed in the shape of an approximate circle column on opening 24a and a metal membrane 25. The bump electrode 26 is formed of electrolysis plating, an electroless deposition method, a replica method, print processes, etc. When based on electrolysis plating, while forming a resist pattern on a metal membrane 25, the bump electrode 26 will be formed only above opening 24a by using a metal membrane 25 as an electrode. In this case, patterning of the metal membrane 25 is carried out to a mask using the bump electrode 26 formed in the shape of an approximate circle column.

[0045] Next, flux 27 is supplied on the bump electrode 26 and the covering film 24. And when a reflow of the bump electrode 26 is heated and carried out, it is drawing 15 (b). While the front face of the bump electrode 26 is defecated by flux so that it may be shown, it deforms in the shape of an abbreviation globular form. Since the melting point of the bump electrode 26 is about 320 degrees C when forming from the solder with which Pb is mixed by 95 and Sn is mixed at a rate of 5, and it is about 183 degrees C when forming from the solder with which Pb is mixed by 64 and Sn is mixed at a rate of 36, whenever [stoving temperature / of the bump electrode 26] will be carried out to more than the melting point of solder. Flux 27 is solidified with the heating.

[0046] After that, it is drawing 15 (c). Masking tape 28 is stuck on flux 27 so that it may be shown. the structure with which the masking tape 28 applied glue line 28b on base material layer 28a -- having -- **** -- the 1- it differs in structure with the masking tape used with the 3rd operation gestalt. Next, drawing 16 (a) To the rear face of a silicon substrate 21, i.e., the attachment side of masking tape 28, the field of an opposite hand is made with a grinder (grinding stone), and a silicon substrate 21 is made thin to 350 micrometers or less grinding and by grinding so that it may be shown. Its grinding and polish condition come to be shown in drawing 9 .

[0047] Then, drawing 16 (b) Masking tape 28 is exfoliated from a silicon substrate 21 so that it may be shown. And the flux 27 on the covering film 24 and the bump electrode 26 is drawing 16 (c). It is removed by the flux cleaning agent so that it may be shown. Thereby, the process from plastic surgery of the bump electrode 26 to the grinding of a substrate is completed. As mentioned above, with this operation gestalt, when grinding the rear face of a silicon substrate 21, where flux 27 is left among two or more bump electrodes 26, masking tape 28 was stuck on the flux 27.

[0048] Since according to this it was covered with flux 27 and the bump electrode 26 will fill up with flux 27 between the bump electrodes 26, the stress added towards a silicon substrate 21 in the case of substrate grinding will not be concentrated on the bump electrode 26, and flux 27 will absorb the gap between bump electrode 26. Therefore, the probability for a crack to arise in a silicon substrate 21 becomes very low, and grinding and polish of a silicon substrate 21 are performed good.

[0049] And since the glue line 28b does not remain on the bump electrode 26 or the covering film 24 in case masking tape 28 is exfoliated, since masking tape 28 is pasted up on flux 27, the activity of clearance from the substrate of glue line 28b like before becomes unnecessary.

(Gestalt of the 5th operation) With the 4th operation gestalt, although masking tape was stuck on flux, flux may be removed, it may be filled up with another layer between bump electrodes, and the example is explained below.

[0050] First, drawing 17 (a) The bump electrode 26 is heated and it deforms into an abbreviation globular form so that it may be shown. In this case, it is a wrap by flux 27 about the bump electrode 26 like the 4th operation gestalt. After that, it is drawing 17 (b). Flux 27 is removed from on the covering film 24 and the bump electrode 26 so that it may be shown.

[0051] Although masking tape will be stuck on the covering film 24 after that in a Prior art, it is drawing 17 (c) at this operation gestalt. The resist 29 which has the high viscosity of 500 or more CPs is applied on the covering film 24 and the solder bump 26 so that it may be shown. As for the resist 29, it is desirable to make it thickness which is located above the height of the bump electrode 26.

[0052] Next, drawing 18 (a) Masking tape 28 is stuck on a resist 29 so that it may be shown. In addition, BEKU [a resist 29] before attachment of masking tape 28. Then, a silicon substrate 21 is made thin to 350 micrometers or less grinding and by grinding for the rear face of a silicon substrate 21. After that, it is drawing 18 (b). After removing masking tape 28 from a resist 29 so that it may be shown, it is drawing 18 (c). A solvent removes a resist 29 so that it may be shown.

[0053] Thereby, the process from plastic surgery of the bump electrode 26 to the grinding of a substrate is completed. As mentioned above, with this operation gestalt, since the bump electrode 26 and the covering film 24 were covered by the resist 29 before attachment of masking tape 28, the probability not to concentrate the stress applied to a silicon substrate 21 in the case of substrate grinding on the bump electrode 26 like the 4th operation gestalt, and for a crack to arise in a silicon substrate 21 becomes very low.

[0054] Moreover, the resist 29 used instead of flux can make viscosity high, or can distribute the pressure which joins the bump electrode 26 since hardening by BEKU is possible, and can make the probability of a substrate crack low. In addition, the bump electrode which consists of ingredients other than the solder explained with the 1st operation gestalt instead of a bump electrode may be used.

(Gestalt of the 6th operation) This operation gestalt explains the rear face of a silicon substrate about grinding and grinding using the masking tape of new structure.

[0055] As the masking tape is shown in drawing 19 , 30 micrometers and 1st thin glue line 30b are applied to the whole whole surface of base material layer 30a which consists of an ingredient of diactinism like glass, and 2nd annular glue line 30b thicker than a bump electrode is further applied to the part which counters the edge of a silicon substrate. As the 1st and 2nd glue lines, trade name SB-TY-B made from a (ultraviolet-rays UV) hardening mold tape, for example, Koga Electrical engineering, is used. Moreover, in the case of 70 micrometers - 200 micrometers, the height of a bump electrode sets thickness of 2nd glue line 30b to 200 micrometers.

[0056] Such masking tape 30 is prepared and it is drawing 20 R> 0 (a). The 2nd glue line 30b is stuck on the perimeter of a silicon substrate 31 so that it may be shown. On the silicon substrate 31, two or more pads 32 are formed through an insulator layer (un-illustrating), and the bump electrodes 33, such as solder, are formed on those pads 32.

[0057] Next, drawing 20 (b) Grinding and polish of the field which is not covered with the masking tape 30 of the silicon substrates 31 are done with a grinding stone 10, for example, it is made thin at 350

micrometers or less so that it may be shown. Since the whole silicon substrate 31 with a diameter of 200mm costs the weight of 10kg with a grinding stone 10 in the case of this grinding and polish, the bump electrode 33 is pressed by the silicon substrate 31 by that thrust.

[0058] For this reason, since the high bump electrode 33 is crushed by that thrust when the non-set has arisen in the height of two or more bump electrodes 33, the height of two or more bump electrodes 33 will be arranged mostly. In this case, since the force also joins the periphery of a silicon substrate 31 in which the bump electrode 33 is not formed since base material layer 30a of masking tape 30 is hard, the thrust which the bump electrode 33 joins is mitigated conventionally.

[0059] Where such a component forming face is covered with masking tape 30, polish of a silicon substrate 31 is ended. After that, it is drawing 20 (c). When base material layer 30a is made to penetrate, and UV light is irradiated and is hardened to the 1st and 2nd glue lines 30b and 30c so that it may be shown, it is drawing 20 (d). Those glue lines 30b and 30c separate easily from a silicon substrate 31 so that it may be shown.

[0060] In the above-mentioned example, although base material layer 30a of masking tape 30 was constituted from an ingredient which penetrates ultraviolet rays (UV) and glue lines 30b and 30c were further constituted from an ingredient of UV hardening mold, it is not necessary to adopt such structure. For example, base material layer 30a of masking tape 30 may be constituted from hard resin beyond Rockwell hardness M88, such as PET and PP, and glue lines 30b and 30c may consist of acrylic ingredients. When adopting such an ingredient, it is drawing 20 (c). The shown UV irradiation process is skipped.

[0061] In addition, 1st glue line 30b of masking tape may be excluded.

(Gestalt of the 7th operation) Drawing 21 is the side elevation showing the process of the semiconductor substrate grinding concerning the 7th operation gestalt of this invention, and bump electrode formation. First, drawing 21 (a) The near field in which the semiconductor device of the silicon substrates 41 in which the bump electrode is not formed is formed is covered with masking tape 42 so that it may be shown. This masking tape 42 may be the same structure as the masking tape of the structure which has base material layer 42a and glue line 42b, may adopt the same structure as the masking tape of the 1st operation gestalt, and is used conventionally.

[0062] And among silicon substrates 41, in masking tape 42, grinding and polish of the field of reverse are done with a grinding stone 10, and a silicon substrate 41 is made thin. Next, drawing 21 (b) The support tape (wafer support tape) 43 which has base material layer 43b to which glue line 43a which consists of an ultraviolet curing ingredient was applied is stuck on the grinding side of a silicon substrate 41 so that it may be shown.

[0063] To next, it is drawing 21 (c). Masking tape 42 is exfoliated so that it may be shown. Next, drawing 21 (d) The bump electrode (projection electrode) 44 is formed in the component forming face of a silicon substrate 41 by the conventional approach or the approach of either the 1st – the 3rd operation gestalt so that it may be shown. Then, after irradiating ultraviolet rays at the support tape 43 and stiffening glue line 43a, it is drawing 21 (e). The support tape 43 is exfoliated from a silicon substrate 41 so that it may be shown.

[0064] Since according to the above processes a silicon substrate 41 is passed at a process where the support tape 43 is stuck on the grinding side of a silicon substrate 41, a silicon substrate 41 is reinforced and it is [it is divided or] hard coming to be missing. In addition, the back-grinding method, the chemical etching method, etc. are used for the grinding of the silicon substrate in each above-mentioned operation gestalt.

{The account of with }

(1) The semiconductor device characterized by to have the electrode pad formed on the insulator layer on a semi-conductor substrate, the insulating covering film which has opening to which it is formed on said insulator layer and said electrode pad is exposed, and a base material layer and the resist layer applied on it, and to have wrap masking tape for said covering film top and the inside of said opening

where this resist layer is turned to said semi-conductor substrate side.

(2) Said metal membrane is a semiconductor device given in (1) characterized by being multilayer structure. (3) Said base material layer is a semiconductor device given in (1) characterized by consisting of ingredients which prevent sensitization of said resist layer.

(4) The process which forms an electrode pad on the insulator layer on a semi-conductor substrate, and said insulator layer and the process which forms the insulating covering film on said electrode pad, The process which forms in said insulating covering film opening to which said electrode pad is exposed, The masking tape which has a base material layer and the resist layer applied on it is prepared, and this resist layer is stuck. As a field Said masking tape is stuck directly or indirectly on said covering film. Said covering film and said opening A wrap process, The manufacture approach of the semiconductor device characterized by having the process which carries out grinding of the field of an opposite hand to said insulator layer, and makes it thin with it, and the process which exfoliates said base material layer of said masking tape from said resist layer among said semi-conductor substrates.

(5) The manufacture approach of a semiconductor device given in (4) characterized by to have further the process which exposes and develops said resist layer and forms the aperture of a projection electrode configuration or a wiring configuration on said opening, and the process which forms the projection electrode or wiring electrically connected to said electrode pad by forming the electric conduction film through said aperture.

(6) Said projection electrode is the manufacture approach of a semiconductor device given in (5) characterized by deforming into an abbreviation globular form with heating.

(7) The manufacture approach of a semiconductor device given in (4) characterized by to have further said electrode pad, the process which forms a metal membrane on said insulator layer, the process made into the wiring configuration which exposes and develops said resist layer and passes along said opening, and the process which etches said metal membrane of the part which is not covered with said resist layer, and forms wiring before sticking said masking tape.

(8) Said base material layer is the manufacture approach of a semiconductor device given in (4) characterized by consisting of ingredients which prevent sensitization of said resist layer.

(9) It is the manufacture approach of a semiconductor device given in (4) characterized by performing grinding of said semi-conductor substrate the interior of a room where the light which does not expose said resist layer is irradiated, or in a dark room when said base material layer consists of ingredients which cannot prevent sensitization of said resist layer.

(10) Formation of said metal membrane is the manufacture approach of a semiconductor device given in (4) characterized by being the process which forms the two or more layers metal with which ingredients differ.

(11) The manufacture approach of the semiconductor device characterized by having the process which forms a projection electrode on a semi-conductor substrate, the process which applies wrap flux or a resist for said projection electrode on said semi-conductor substrate, the process which sticks masking tape on said flux or said resist, and the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

(12) The manufacture approach of a semiconductor device given in (11) characterized by having further the process which heats said projection electrode and said flux before sticking said masking tape.

(13) The manufacture approach of a semiconductor device given in (11) characterized by having further the process which removes this flux after applying flux on said semi-conductor substrate and heating this flux and said projection electrode, before applying said resist on said semi-conductor substrate.

(14) Said resist is the manufacture approach of a semiconductor device given in (11) characterized by consisting of an ingredient which has the viscosity of 500 or more CPs.

(15) Said resist is the manufacture approach of a semiconductor device given in (11) characterized by BEKU before said masking tape is stuck.

(16) The manufacture approach of the semiconductor device characterized by to have the process

which prepares the masking tape which comes to form the process which forms a projection electrode on a semi-conductor substrate, and the glue line which projects rather than other fields into the part corresponding to the periphery of said semi-conductor substrate on a base material layer, and sticks this glue line on this periphery of said semi-conductor substrate, and the process which carries out grinding of the field of an opposite hand to said masking tape among said silicon substrates.

(17) Said base material layer is the manufacture approach of a semiconductor device given in (16) characterized by being more than Rockwell hardness M88.

(18) Said base material layer is the manufacture approach of a semiconductor device given in (17) characterized by consisting of a PET or glass.

(19) It is the manufacture approach of a semiconductor device given in (16) characterized by having further the process which said glue line is irradiated [process] and makes it harden ultraviolet rays after said base material layer's consisting of ultraviolet-rays transparency ingredients, and said glue line's consisting of ultraviolet curing material and ending the grinding of said semi-conductor substrate. [0065]

[Effect of the Invention] If the resist layer which remained by exfoliating only the base material layer of masking tape is used for patterning as it is after finishing polish [on the other hand / (rear face)] of a semi-conductor substrate since the whole surface of a semi-conductor substrate was covered with the masking tape which consisted of a base material layer and a resist layer applied to this according to the semiconductor device of this invention as stated above, the resist spreading process to a semi-conductor substrate top can be skipped.

[0066] Moreover, after covering the whole surface of a semi-conductor substrate with the masking tape which consisted of a base material layer and a resist layer applied to this according to the manufacture approach of the semiconductor device of this invention Since it exfoliates from a resist layer, and a resist layer is exposed, the base material layer of masking tape is subsequently developed [on the other hand (rear face), a semi-conductor substrate carries out grinding,] after that and the resist pattern of bump electrode formation or wiring formation was formed The time and effort of resist spreading can be saved, and since it is easy a throughput not only to improve, but to remove a resist layer nearly thoroughly with a solvent, contamination of a semi-conductor substrate can be prevented. Furthermore, since adhesives like before do not exist on the base material layer which exfoliated, reuse becomes possible and the amount of abolition can be reduced.

[0067] Moreover, since according to another invention flux or a resist is applied between the projection electrodes formed in the field of it and an opposite hand and masking tape was further stuck on it when carrying out grinding of the rear face of a semi-conductor substrate, in case grinding of the semi-conductor substrate is carried out, it joins not only a projection electrode but flux or a resist, and distributes, and the thrust of masking tape can prevent the crack of a semi-conductor substrate.

[0068] Furthermore, since according to another invention masking tape is exfoliated and the projection electrode was further formed in the whole surface where a support tape (support tape) is stuck on a field where the whole surface of a semi-conductor substrate is covered with masking tape after carrying out grinding of the field in addition to this in addition, the semi-conductor substrate reinforced on the support tape can prevent the crack of the substrate at the time of forming a projection electrode.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the grinding approach of the conventional semi-conductor substrate.

[Drawing 2] It is the sectional view showing the 1st bump electrode formation process of the conventional semiconductor device.

[Drawing 3] It is the sectional view showing the 1st bump electrode formation process of the conventional semiconductor device.

[Drawing 4] It is the sectional view (the 1) showing the grinding and the polish process of the semi-conductor substrate concerning the 1st operation gestalt of this invention.

[Drawing 5] It is the sectional view (the 2) showing the grinding and the polish process of the semi-conductor substrate concerning the 1st operation gestalt of this invention.

[Drawing 6] It is the sectional view (the 3) showing the grinding and the polish process of the semi-conductor substrate concerning the 1st operation gestalt of this invention.

[Drawing 7] It is the sectional view (the 4) showing the grinding and the polish process of the semi-conductor substrate concerning the 1st operation gestalt of this invention.

[Drawing 8] It is the sectional view of the masking tape used for the operation gestalt of this invention.

[Drawing 9] It is drawing showing the polish condition of the silicon substrate in the operation gestalt of this invention.

[Drawing 10] It is the sectional view (the 1) showing the grinding and the polish process of the semi-conductor substrate concerning the 2nd operation gestalt of this invention.

[Drawing 11] It is the sectional view (the 2) showing the grinding and the polish process of the semi-conductor substrate concerning the 2nd operation gestalt of this invention.

[Drawing 12] It is the plan of the semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 13] It is the sectional view (the 1) showing polish and the grinding operation of the semi-conductor substrate concerning the 3rd operation gestalt of this invention.

[Drawing 14] It is the sectional view (the 2) showing polish and the grinding operation of the semi-conductor substrate concerning the 3rd operation gestalt of this invention.

[Drawing 15] It is the sectional view (the 1) showing polish and the grinding operation of the semi-conductor substrate concerning the 4th operation gestalt of this invention.

[Drawing 16] It is the sectional view (the 2) showing polish and the grinding operation of the semi-conductor substrate concerning the 4th operation gestalt of this invention.

[Drawing 17] It is the sectional view (the 1) showing polish and the grinding operation of the semi-conductor substrate concerning the 5th operation gestalt of this invention.

[Drawing 18] It is the sectional view (the 2) showing polish and the grinding operation of the semi-conductor substrate concerning the 5th operation gestalt of this invention.

[Drawing 19] It is the perspective view showing the masking tape used for the 6th and 7th operation gestalt of this invention.

[Drawing 20] It is the sectional view showing polish and the grinding operation of the semi-conductor substrate concerning the 6th operation gestalt of this invention.

[Drawing 21] It is the sectional view showing polish and the grinding operation of the semi-conductor substrate concerning the 7th operation gestalt of this invention.

[Description of Notations]

1 [-- Covering film,] -- A silicon substrate (semi-conductor substrate), 2 -- An insulator layer, 3 -- An electrode pad, 4 5 [-- Resist layer,] -- The 1st metal membrane, 6 -- The 2nd metal membrane, 7 -- Masking tape, 7a 7b [-- Exposure mask,] -- 8 A base material layer, 9 -- A bump electrode, 10 -- A grinder, 11 12 -- Drawer wiring, 12a -- A metal membrane, 13 -- Bump electrode (projection electrode), 21 -- A silicon substrate (semi-conductor substrate), 22 -- An insulator layer, 23 -- Electrode pad, 24 [-- Flux,] -- The covering film, 25 -- A metal membrane, 26 -- A bump electrode (projection electrode), 27 28 [-- Base material layer,] -- Masking tape, 29 -- A resist, 30 -- Masking tape, 30a 30b, 30c [-- A bump electrode (projection electrode), 41 / -- A silicon substrate (semi-conductor substrate), 42 / -- Masking tape, 43 / -- A support tape, 44 / -- Bump electrode (projection electrode).] -- A glue line, 31 -- A silicon substrate (semi-conductor substrate), 32 -- An electrode pad, 33

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.